

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平6-504408

第7部門第2区分

(43) 公表日 平成6年(1994)5月19日

(51) Int.Cl.³ 識別記号 庁内整理番号 F I
H 0 1 L 21/60 3 2 1 E 6918-4M

審査請求 未請求 予備審査請求 有 (全 22 頁)

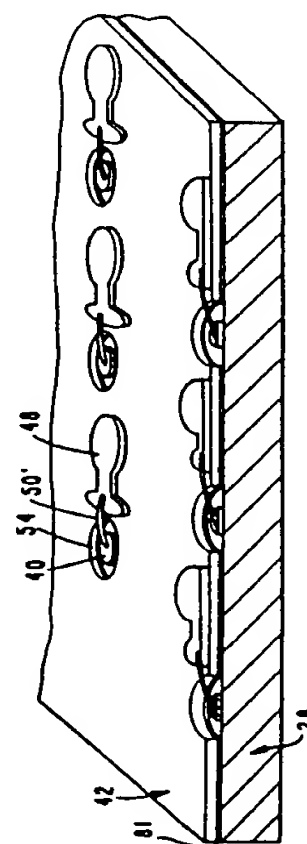
(21) 出願番号	特願平3-516995	(71) 出願人	テッセラ・インコーポレーテッド
(86) (22) 出願日	平成3年(1991)9月24日		アメリカ合衆国カリフォルニア州95134,
(85) 翻訳文提出日	平成5年(1993)3月19日		サンホセ, オーチャード ドライブ3099
(86) 国際出願番号	P C T / U S 9 1 / 0 6 9 2 0	(72) 発明者	カンドロス, イゴー・ワイ
(87) 国際公開番号	W O 9 2 / 0 5 5 8 2		アメリカ合衆国ニューヨーク州10566, ビ
(87) 国際公開日	平成4年(1992)4月2日		ークスキル, ファーニス・ドック・ロード
(31) 優先権主張番号	5 8 6, 7 5 8		503
(32) 優先日	1990年9月24日	(72) 発明者	ディステファーンノ, トーマス・エイチ
(33) 優先権主張国	米国 (U S)		アメリカ合衆国ニューヨーク州10708, ブ
(31) 優先権主張番号	6 7 3, 0 2 0		ロンクスヴィル, パーチ・ブルク・ロード
(32) 優先日	1991年3月21日		29
(33) 優先権主張国	米国 (U S)	(74) 代理人	弁理士 湯浅 恭三 (外6名)

最終頁に続く

(54) 【発明の名称】 半導体チップアセンブリ、半導体チップアセンブリの製造方法及び半導体チップアセンブリの部品

(57) 【要約】

半導体チップアセンブリであって、コンパクトなユニットを提供するためにチップの前面又は背面の上に載っている端子をその上に有する柔軟性のシート状素子(42)を組み込んでいる半導体チップアセンブリ。シート状素子上の端子(48)は、熱膨張を補償するべくチップに対して可動となっている。チップと端子との間に挿入されているしなやかな層(42)等の弾性素子によって個別端子のチップへの独立した運動が可能になり、これにより試験プローブアセンブリとの係合が駆動され、これにより公差にも拘らず信頼性がある係合が可能になる。



請求の範囲

1. 複数の表面を有し且つ上記表面の少なくとも1つの上に接点を有する半導体チップ及び上記接点に電気的に接続されている端子をその上に有する柔軟性シート状素子を含む型式の半導体チップアセンブリにおいて、上記シート状素子及び上記端子の少なくとも幾つかが上記チップの1つの上記表面の上に置かれており、上記端子が上記チップに対して可動であり且つ上記アセンブリが上記端子の上記チップへの運動を許容するための弾性手段を含むことを特徴とする半導体チップアセンブリ。

2. 上記弾性手段が上記端子と上記チップの間に配置されているしなやかな層を含み、これにより上記しなやかな層が上記端子の上記チップへの運動の際に圧縮されるようにしていることを更に特徴とする請求項1に記載のアセンブリ。

3. 上記しなやかな層がエラストマ材料から形成されていることを更に特徴とする請求項2に記載のチップアセンブリ。

4. 上記しなやかな層が低弾性率材料のかたまり及び上記低弾性率材料のかたまりが散在している穴を含み、上記低弾性率材料のかたまりが上記端子と整合しており、上記しなやかな層における穴が上記端子との整合から外れていることを更に特徴とする請求項2に記載のチップアセンブリ。

5. 上記チップが前面を有し、上記接点が上記前面の上に配置されており且つ上記シート状素子及び上記端子が上記チップの上記前面の上に載っていることを更に特徴とする請求項1又は請求項2又は請求項3又は請求項4に記載のチップアセンブリ。

6. 上記チップが反対に向いている前面及び背面を有し、上記接点が上記前面の上に配置されており、且つ上記シート状素子及び上記端子が上記チップの上記背面の上に載っていることを更に特徴とする請求項1又は請求項2または請求項3又は請求項4に記載のチップアセンブリ。

7. 端子をその上に有する柔軟性のシート状素子を半導体チップに組み立てる段階及び上記シート状素子の上の端子を上記チップ上の接点に接続する段階を含む半導体チップアセンブリを製造する方法において、上記組立段階が上記シート状素子上の上記端子が上記チップの表面の上に置かれるように行われること及び

とを更に特徴とする請求項15に記載の部品。

17. 上記シート状素子が上記しなやかな層の上に置かれる熱硬化ポリマ及び熱可塑性ポリマからなる膜から選択された材料から形成される薄い柔軟性上層を含むことを更に特徴とする請求項16に記載の部品。

18. 上記端子が上記上層の上に配置されていることを特徴とする請求項17に記載の部品。

19. 上記端子が上記上層と上記しなやかな層の間に配置されており、上記上層が、上記端子が上記しなやかな層と反対の上記シート状素子の表面からアクセス可能となるように上記端子と整合しているアパーチャを有することを特徴とする請求項17に記載の部品。

20. 半導体チップアセンブリに用いられる部品であって、外側エッジを有するシート状挿入物、上記挿入物上に配置されている複数の端子及び上記端子に接続されており且つ接触部分を有する複数の予め形成されたリードを含み、上記の予め形成されたリードが柔軟性であり、各上記の予め形成されたリードの接触部分が所かるリードに接続されている端子に対して可動である部品において、上記挿入物と一体の少なくとも1つの固定素子の特徴とし、各上記固定素子が上記挿入物の上記外側エッジの1つに全体的に平行に延設している内側エッジを有し、これにより所かる平行エッジが延長されたスロットを画成するようにしており、各々の所かる予め形成されたリードが1つの上記スロットの近辺まで延設していることを特徴とする部品。

21. 各上記の予め形成されたリードの接触部分が上記スロットを横断して延設していることを特徴とする請求項20に記載の部品。

22. 半導体チップアセンブリにおいて、

(a) 上記チップの上部を画成する前面を有する半導体チップであって、上記前面が中心領域及び上記中心領域を包囲する周辺領域を含み、これにより上記中心領域が上記周辺領域の内方に配置されており、上記チップが上記前面の上記周辺領域に配置されている複数の周辺接点を有する半導体チップを含む型式の半導体チップアセンブリにおいて、

(b) 上記チップの前面の上記中心領域の上にある柔軟性シート状誘電体挿入物

上記アセンブリが上記端子の上記チップの上記表面への運動を許容するための弾性手段を含むことを特徴とする方法。

8. 上記弾性手段を提供するために上記チップと上記端子の間にしなやかな層が配置されることを更に特徴とする請求項7に記載の方法。

9. 複数の試験プローブと上記端子の間に一時的な電気接触を確立し、これにより上記弾性手段が一時的電気接触を確立する上記段階の間上記中心端子の少なくとも幾つかの上記チップ表面への変位を許容することによって上記チップを試験する段階を更に特徴とする請求項7に記載の方法。

10. 一時的電気接触を確立する上記段階が複数の上記端子と試験把持具に固定的に接続されている複数の試験プローブとの間に一時的に接触を同時に確立する段階を含むことを更に特徴とする請求項9に記載の方法。

11. 上記シート状素子上の上記端子を接続する上記段階が柔軟性リードを接続して、所かるリードが上記シート状素子における少なくとも1つのアパーチャを通して上記接点と端子との間を延設するようにする段階を含むことを特徴とする請求項7に記載の方法。

12. 上記シート状素子が上記端子及び上記組立段階に先立ちその上に配置された予め形成されたリードを有することを更に特徴とする請求項11に記載の方法。

13. 上記リードを接続する上記段階が上記の予め形成されたリードを上記の少なくとも1つのアパーチャにおける上記チップ上の上記接点にツールを置く上記アパーチャに挿入することにより結合する段階を含むことを特徴とする請求項12に記載の方法。

14. 基板上的接触パッドが上記シート状素子上の上記端子と対向するように基板を上記挿入物と組み立てる段階及び上記端子を上記パッドに結合する段階を更に特徴とする請求項7に記載の方法。

15. 端子をその上に有する柔軟なシート状素子を含む半導体チップに組み立てるための部品において上記端子の下に置かれるしなやかな層を特徴とする部品。

16. 上記しなやかな層が低弾性率材料のかたまり及び上記低弾性率材料のかたまりが散在している穴を含み、上記低弾性率材料のかたまりが上記端子と整合しており、上記しなやかな層における上記穴が上記端子との整合から外れているこ

であって、上記チップに向いている第一面及び上記チップから離れるように向いている第二面を有し、上記周辺接点の内方に配置されている外側エッジを有する柔軟性シート状誘電体挿入物、

(c) 上記挿入物の上に配置されており且つ上記チップの前面の上記中心領域の上に載っている複数の中心端子、及び

(d) 上記周辺接点の少なくとも幾つかを上記中心端子の少なくとも幾つかを接続している複数の周辺接触リードであって、各上記周辺接触リードが上記挿入物の上に載っており且つ上記中心端子の1つに接続されている中心端子端部及び上記挿入物の上記エッジの1つを越えて外方に突出しており且つ上記周辺接点の1つに接続されている接触端を有し、これにより各上記周辺接触リードが上記周辺接点の1つから上記挿入物上の上記中心端子の1つに内方に延設しており、上記中心端子が上記接点に対して可動である複数の周辺接触リードを含むことを特徴とする半導体チップアセンブリ。

23. 上記周辺接触リードの少なくとも幾つかが上記周辺接点を越えて外方に突出している外方延長部を有し、上記アセンブリが更に上記周辺接点の外方に配置されており且つ複数の上記外方延長部に物理的に接続されている少なくとも1つの固定素子を含むことを更に特徴とする請求項22に記載のチップアセンブリ。

24. 各上記固定素子が上記挿入物の上記外側エッジの1つに全体的に平行に延設している内側エッジを有しており、これにより所かる平行エッジが各上記固定素子と上記挿入物との間に延長スロットを画成するようにしており、各上記周辺接触リードは1つの上記スロットを横断して延設していることを更に特徴とする請求項23に記載のチップアセンブリ。

25. 各上記固定素子と上記挿入物との間に延設しているブリッジ素子であって、上記ブリッジ素子が互いに離間しており、上記スロットが上記ブリッジ素子の間を延設しており、上記固定素子及び上記挿入物が1つのシート状ユニットとして互いに一体化されて形成されているブリッジ素子を更に特徴とする請求項24に記載のチップアセンブリ。

26. 各上記固定素子の少なくとも一部分が上記チップの外側に配置されており、

上記アセンブリが更に上記少なくとも1つの固定素子と整合されて上記チップに沿って配置されている少なくとも1つの支持素子を含んでおり、各上記支持素子が上記固定素子の1つに向いており且つこれを支持している前面を有することを更に特徴とする請求項24又は25に記載のチップアセンブリ。

27. 上記少なくとも1つの固定素子の上に取り付けられている複数の外側端子、及び上記外側端子と上記チップ上の上記周辺接点の幾つかとの間を延設している外側端子リードを更に特徴とする請求項27に記載のチップアセンブリ。

28. 上記中心端子の下に配置されているしなやかな層と上記外側端子の下に配置されているしなやかな層を更に特徴とする請求項27に記載のチップアセンブリ。

29. 半導体チップアセンブリであって、前面及び上記前面の上にパターン状に配置された複数の接点を有する半導体チップを含み、上記パターンが上記前面上に接触パターン領域を包囲しており、上記チップの上記前面の上にはシート状誘電体挿入物がのっており、上記挿入物は上記チップの方に向いている第一面及び上記チップから離れて向いている第二面を有する型式の半導体チップアセンブリにおいて、上記チップの上記接触パターン領域の上に載っている上記挿入物の領域を特徴とし、上記挿入物が上記第一面から上記第二面に延設しているアバーチュアを有し、上記挿入物の上記第二面の上には複数の端子がパターン状に配置されており、上記端子の少なくとも幾つかが上記接触パターン領域の上に載っている上記挿入物の上記領域に配置されており、各々の斯かる端子が上記チップ上の上記接点の1つに且つ各上記端子と上記接点の関連の1つとの間に延設している柔軟性の導電リードに関連しており、各々の斯かるリードが上記アバーチュアの1つを通して延設しており、各上記リードが上記関連の接点に接続されている接触端及び上記関連の端子に接続されている端子端部を有し、上記端子が上記リードの接触端に対して相対的に可動であることを特徴とする半導体チップアセンブリ。

30. 各上記端子が上記挿入物における上記アバーチュアの1つに隣接して配置されており、且つ各上記リードが1つの上記端子から上記隣接アバーチュアを通過して上記チップ上の上記接点の1つに延設していることを更に特徴とする請求項29に記載のチップアセンブリ。

グ液が上記リード領域及び上記端子領域を除く上記導電シートを除去する段階、及び

(f) 上記レジストを除去して、これにより上記導電シートの上記リード部分を上記アバーチュアの中に突出するリードとして残す段階を含むことを特徴とする方法。

37. 上記第一面にレジストを適用する上記段階がレジストのシートを上記第一面に積層して、これにより上記シートのレジストが上記1つ又はそれ以上のアバーチュアを充填するようにすることにより実行されることを更に特徴とする請求項36に記載の方法。

38. 予め形成された導電リードをその上に載せているシート状誘電体素子を製造する方法において、上記素子の誘電体層に上記シート状素子の平面から垂直に外れて突出している特徴を設ける段階、上記誘電体層の上に導電材料を沈着して、これにより上記導電材料が上記突出特徴を横切って延設しているリードを形成する段階、及び次に上記突出特徴を構成する上記誘電体層の部分を除き、これにより上記の予め形成されたリードを上記シート状素子の平面から外れて突出して曲げて形成する段階を特徴とする方法。

39. 半導体チップアセンブリであって、

(a) 互いに反対の方向を向いた前面及び背面、上記前面と背面の間を延設しているエッジ及び上記前面の上の接点を有する半導体チップを含む型式の半導体チップアセンブリにおいて、

(b) 上記チップの下にある全体的にシート状の裏打ち素子であって、上記チップに向いている上面及び上記チップから離れるように向いている底面を有し、上記チップ及び端子に整合している中心領域を有し、上記端子の少なくとも幾つかが上記中心領域の中に配置されているシート状裏打ち素子、及び

(c) 上記チップの前面の上記接点と上記裏打ち素子の底面上の上記端子を相互接続する導電リードであって、上記エッジに沿って延長しており、上記裏打ち素子及びリードが上記裏打ち素子上の上記端子が上記チップに対して可動となるように柔軟性である導電リード

を特徴とする半導体チップアセンブリ。

31. 各上記リードが上記チップの上記前面に平行な方向に彎曲していることを更に特徴とする請求項29又は30に記載のチップアセンブリ。

32. 各上記リードが上記チップの上記前面に垂直な方向に彎曲していることを更に特徴とする請求項29又は30に記載のチップアセンブリ。

33. 上記端子が上記チップの上記前面の上に載っている上記挿入物の領域にわたって実質的に均一に分布していることを更に特徴とする請求項29又は30又は31又は32に記載のチップアセンブリ。

34. 上記挿入物に向いている基板及び複数の接続パッドであって、上記挿入物上の上記端子に対向するように上記端子のパターンに対応するパターンに配置されている複数の接続パッド及び上記基板上の上記パッドを上記挿入物上の上記端子に結合するための手段を更に特徴とする請求項33又は33に記載のチップアセンブリ。

35. 上記端子を上記基板の上記パッドに接続するための上記手段が各上記端子と上記基板の関連の接続パッドとの間に配置されている導電ボンディング材料のかたまりを含むことを特徴とする請求項34に記載のチップアセンブリ。

36. 半導体接続部品を製造する方法において、

(a) 第一及び第二面及び上記面の上に延設している1つ又はそれ以上のアバーチュアを有するシート状誘電体素子を提供する段階、

(b) 導電シートを上記素子の上記第二面に積層し、これにより上記シートの第一面が上記素子の上記第二面に対向し且つ上記シートが上記1つ又はそれ以上のアバーチュアの上に載るようにする段階、

(c) 上記素子から離れるように向いている上記シートの第二面の上にレジストパターンを形成し、上記レジストパターンが上記1つ又はそれ以上のアバーチュアに少なくとも部分的に整合しているリード領域及び上記リード領域に連続しているが上記1つ又はそれ以上のアバーチュアとは整合していない端子領域を含む段階、

(d) 上記1つ又はそれ以上のアバーチュアにおける上記導電シートの第一面にレジストを適用する段階、

(e) 上記導電シートをエッチング液と接触せしめて、これにより上記エッチン

40. 上記チップの1つのエッジに沿って上方に延設している少なくとも1つの全体的にシート状の柔軟性のフラップであって、各上記リードが1つの上記フラップに沿って伸びているフラップ部分を含んでいるシート状柔軟性フラップを更に特徴とする請求項39に記載のチップアセンブリ。

41. 上記チップ上の上記接点が上記チップの1つの上記エッジに隣接して延設している少なくとも1つの延長列を含んでおり且つ各上記フラップが1つの上記列の近辺に延設していることを更に特徴とする請求項40に記載のチップアセンブリ。

42. 各上記フラップが導電層及び上記導電層と上記リードの上記フラップ部分との間に配置されている誘電体層を含むことを更に特徴とする請求項41に記載のチップアセンブリ。

43. 上記裏打ち素子が導電層及び誘電体層を含み、各上記リードが斯かるリードのフラップ部分と上記端子の1つの間に上記裏打ち素子に沿って延設している裏打ち素子部分を含み、上記裏打ち素子の上記誘電体層が上記裏打ち素子の導電層と上記リードの上記裏打ち素子部分との間に配置されていることを更に特徴とする請求項42に記載のチップアセンブリ。

44. 各々が上記チップのエッジに沿って配置されている少なくとも1つの実質的に硬質の支持素子を更に特徴とする請求項40、又は41、又は42又は43に記載のチップアセンブリ。

45. 上記少なくとも1つのフラップが複数のフラップを含んでおり且つ上記少なくとも1つの支持素子が複数の支持素子を含んでおり、上記複数の支持素子が互いに接続されており且つ上記チップを包囲する箱を共同して画成していることを更に特徴とする請求項51に記載のチップアセンブリ。

46. 上記チップの下の上記支持素子の間に延設している全体的に平面の床素子であって、上記床素子が上記箱の床を画成し且つ上記支持素子が上記箱の壁を構成するように上記支持素子に接続されており、上記チップが上記箱内に配置されており、上記裏打ち素子及びフラップが上記箱の外側に配置されている全体的に平面の床素子を更に特徴とする請求項45に記載のチップアセンブリ。

47. 上記裏打ち素子に向いている上面及び上記上面に配置されている複数の接

積パッドを有する基板であって、上記裏打ち素子上の上記端子及び上記上面の上記接続パッドが1つの上記端子が上記接続パッドの各々の1つと整合されるように対応のパターンで配置されており、上記アセンブリが上記基板上の上記接続パッドを上記裏打ち素子上の上記端子に接続するための手段を更に含んでいる基板を更に特徴とする請求項39に記載のチップアセンブリ。

48. 上記チップの前面の上に載っている挿入物であって、上記チップにあるいは上記裏打ち素子上の上記端子に電氣的に接続されている端子をその上に有する挿入物を更に特徴とする請求項39に記載のチップアセンブリ。

49. 請求項48に記載されている複数のチップアセンブリを含む回路アセンブリにおいて、上記チップアセンブリが上部及び底部を有する積み重ね体構成されており、これにより上記チップアセンブリが上記積み重ね体の底に上記チップアセンブリの底の1つと1つ又はそれ以上の非底チップアセンブリを含み、各上記非底チップアセンブリが上記チップアセンブリの直接隣接した1つの上に互いに載っており、各々の所から非底チップアセンブリの裏打ち素子が上記チップアセンブリの直接隣接した1つの挿入物に向いており、各上記非底チップアセンブリの裏打ち素子上における端子の少なくとも幾つかが直接隣接しているチップアセンブリの挿入物の上の端子に接続されており、これにより上記チップアセンブリのチップが互いに電氣的に接続されていることを特徴とする回路アセンブリ。

50. 半導体チップを取り付けるための部品であって、

(a) 複数の端子をその上に有する柔軟性シート状裏打ち素子を含む型式の部品において、

(b) 上記裏打ち素子から上方に突出している少なくとも1つの実質的に硬質の支持素子であって、上記裏打ち素子から離れた上部エッジを有する少なくとも1つの実質的に硬質の支持素子、

及び

(c) 上記端子に接続されており且つ上記支持素子の少なくとも1つに沿って上方に延設している複数のリードを特徴とする部品。

51. 上記少なくとも1つの支持素子が上部及び底部を有する箱を画成している

チップ部分が上記チップの前面上の1列の接点の近辺まで延設するように各上記フラップを配置する段階を含み且つ上記接続段階が更に、各上記列の接点を上記リードの隣接フラップ部分にワイヤボンディングする段階を含み、上記ワイヤボンディング段階が上記少なくとも1つのフラップを配置する上記段階の後に上記リードの上記フラップ部分の上記チップ上の上記接点に対する相対的な実位置を検出する段階及び上記の検出された相対的位置に従って上記ワイヤボンディング段階を制御する段階を含むことを更に特徴とする請求項57に記載の方法。

59. 上記裏打ち素子を配置する上記段階が上記チップの上記前面が上記裏打ち素子から離れるように向いており且つ上記チップの上記背面が上記裏打ち素子に向いて対向するように上記チップを上記裏打ち素子から上方に突出している複数の壁を組み込んでいる箱内に配置する段階を含み、上記箱が上記壁に沿って上記裏打ち素子から上方に延設している複数の上記フラップを有しており、これにより上記フラップが上記チップが上記箱の中に配置された時に上記チップのエッジに沿って配置されるようにしていることを更に特徴とする請求項57に記載の方法。

60. 上記端子と上記チップの上記底面との間にしなやかな層を配設する段階、及び複数の上記端子を複数の試験ピンに同時に係合せしめて、これにより上記試験ピンが上記端子と電氣的接触をなすように構成することにより上記アセンブリを電氣的に試験し、これにより上記しなやかな層が上記係合段階において圧縮されるようにすることを更に特徴とする請求項56に記載の方法。

複数の壁を含んでおり、上記裏打ち素子が上記箱の底部に隣接して配置されており、上記リードが上記箱の上部に向かって上方に延設しており、上記箱が上部で開口しており、これにより半導体チップが上記箱の中に挿入され得るようにしていることを更に特徴とする請求項50に記載の部品。

52. 上記壁に沿って上記裏打ち素子から上方に延設している複数の全体的にシート状のフラップであって、上記リードが上記フラップに沿って延設している複数の全体的にシート状のフラップを更に特徴とする請求項51に記載の部品。

53. 上記支持素子の間に延設している床素子であって、上記裏打ち素子が上記床素子の下に配置されている床素子を更に特徴とする請求項52に記載の部品。

54. 各上記フラップの中に且つ上記裏打ち素子の中に組み込まれている導電層を更に特徴とする請求項53に記載の部品。

55. 上記裏打ち素子の上に置かれているしなやかな層を更に含む請求項51又は52又は53又は54に記載の部品。

56. 半導体チップアセンブリの製造方法であって、

(a) 全体的にシート状の柔軟性の裏打ち素子を配置して、これにより上記裏打ち素子の上面が上記チップの背面に向かって対向し且つ上記裏打ち素子の中心領域における端子が上記チップと整合するようにする段階を含む型式の方法において、

(b) 上記裏打ち素子上の上記端子を上記背面及び上記裏打ち素子から離れるように上記チップの前面上の接点に、上記接点と上記端子の間に導電リードを接続して、これにより上記導電リードが上記チップのエッジに沿って延設するように構成することにより接続する段階を特徴とする方法。

57. 上記接続段階が上記半導体チップの少なくとも1つのエッジに沿って少なくとも1つの全体的にシート状のフラップを配置し、これにより各上記の全体的にシート状のフラップの上に延設している上記リードのフラップ部分が上記裏打ち素子から上記チップの上記前面に向かって延設するように構成する段階を含むことを更に特徴とする請求項56に記載の方法。

58. 上記フラップを配置する上記段階がその上に配置されているリードのフラ

明 細 書

半導体チップアセンブリ、半導体チップアセンブリの製造方法及び半導体チップアセンブリの部品

技術的分野

本発明は電子的実装技術に関し、より詳細には半導体チップを組み込んでいるアセンブリに関し且つ所からアセンブリを製造するのに有用な方法及び部品に関する。

技術的分野

現在の電子デバイスは、通常多数の電子素子を組み込んでいる「集積回路」と呼ばれている半導体チップを利用している。これらのチップはこれらのチップを物理的に支持し且つ各チップを回路の他の素子と電氣的に相互接続する基板上に固定されている。基板は1つのチップを保持するのに用いられる個別チップパッケージの一部とすることができ且つ外部回路素子への相互接続のための端子を取り付けることができる。所から基板は外部回路基板又はシャーシに固定することができる。あるいは、いわゆる「ハイブリッド回路」においては、1つ又はそれ以上のチップがこれらのチップと基板に固定されている他方の回路素子を相互接続するように構成されている回路パネルを形成している基板に直接固定されている。どちらの場合も、チップは基板上に確実に保持されなければならない。チップ自体とその支持基板との間の相互接続は、通常「第2レベル」相互接続と呼ばれる基板と回路のより大きな素子との間の相互接続と区別して、通常「第1レベル」アセンブリ即ちチップ相互接続と呼ばれる。

チップと基板の間に第1レベル接続を提供するのに利用される構造体はチップに対する所要電気相互接続の全てを許容しなければならない。通常「入力-出力」即ち「I/O」接続と呼ばれる外部回路素子に対する接続の数は、チップの構造及び機能によって決定される。多数の機能を実行できる改良されたチップはかなりの数のI/O接続を必要とし得る。

チップ及び基板アセンブリの寸法は主要な問題である。各所からアセンブリの寸法は電子デバイス全体の寸法に影響する。チップ間の距離がより小さなよりコ

コンパクトなアセンブリは、より小さな信号伝送遅延を与え、従ってデバイスのより速い動作を可能にする。

チップを基板に接続している第1レベルの相互接続構造体は一般的に、デバイス内の温度が動作中に変化するために、熱サイクルによって生じるかなりの歪を被る。チップ内で消費される電力はチップ及び基板を加熱する傾向があるため、チップ及び基板の温度はデバイスがオンになる毎に上昇し且つデバイスがオフになる毎に下降する。チップ及び基板は一般的に異なった熱膨張係数を有する異なった材質から形成されているため、チップ及び基板は一般的に異なった量だけ膨張し且つ収縮する。これによりチップ上の電気接点はチップ及び基板の温度が変化する時に基板上の電気接点に対して相対的に移動する。この相対的移動によりチップと基板の間の電気的相互接続が変形し、これらの電気的相互接続を機械的応力の下に置く。これらの応力はデバイスの反復された動作により反復的に適用され、電気的相互接続の破壊をもたらす得る。電力が初めてチップに適用された時にはチップの温度は基板の温度よりも急速に上昇し得るため、熱サイクル応力はチップ及び基板が同様の熱膨張係数を有する同様の材質から形成されている場合でも生じ得る。

チップ及び基板アセンブリのコストも主要な問題である。これら全ての問題が一緒になると、手におえない技術的な課題をもたらす。主要な相互接続構造体及びこれらの問題に対処するための方法を提供するためにこれまで種々の試みがなされてきたが、これらの試みのどれもどの点においても真に満足するものではなかった。現在、最も広く利用されている主要な相互接続方法はワイヤボンディング、テープ自動化ボンディング即ち「TAB」及びフリップチップボンディングである。

ワイヤボンディングでは、基板はリング上パターンに配置された複数の電導接触パッド又はランドを有する上面を有している。チップはリング状パターンの中心の基板の上面に固定されているため、チップは基板の接触パッドに包囲されている。チップは面を上にした配置で取り付けられており、チップの裏の面は基板の上面と対向しており且つチップの前面は上方を向いて基板とは離れているため、前面上の電気接点は露出している。チップの前面上の接点と基板の上面上の

接触パッドとの間には細いワイヤが接続されている。これらのワイヤはチップから基板上の周囲接触パッドに向かって外方に延設している。ワイヤ結合されたアセンブリでは、チップ、ワイヤ及び基板の接触パッドによって占められる基板の面積はチップ自体の表面積よりもかなり大きい。

テープ自動化ボンディングにおいて、ポリマーテープにテープの第1面上に導体を形成する金属材質の薄層が配設される。これらの導体は全体的にリング状のパターンに構成されており且つ全体的に半径方向に向ってリング状パターンの中心から離れるように延設している。チップは面を下に向けた構成でテープの上に置かれており、チップの前面上の接点はテープの第1面上の導体と対向している。チップ上の接点はテープ上の導体に結合されている。一般的に、多数の導体のパターンがテープの長さ部分に沿って配置されており、1つのチップがこれらの個別パターンの各々に結合されているため、これらのチップは一旦テープに結合されると、テープを進行させることにより連続ワークステーションを通して進めることができる。各チップが1つのパターンを構成している金属導体に結合された後、チップ及びパターンのすぐ隣接の部分は封入され、金属導体の最外部は付加リードに且つ極限基板に固定される。テープ自動化ボンディングによりアセンブリには熱応力に対する良好な抵抗が与えられるが、これはテープ表面上の薄い金属リードがかなり柔軟であり、チップの膨張の際に、リードとチップ上の接点との接合に有意な応力を課すことなくたやすく曲がるためである。しかしながら、テープ自動化ボンディングに利用されているリードはチップから外方に半径方向の「扇型」パターンに延設しているため、アセンブリはチップ自体よりもかなり大きくなる。

フリーチップボンディングでは、チップの前面上の接点にはんだのかたまりが配設される。基板はチップ上の接点の配列に対応する配列に配置された接触パッドを有している。はんだのかたまりを有するチップは、その前面が基板の上面に向いて、チップ上の各接点及びはんだのかたまりが基板の適切な接触パッド上に配置されるように逆さにされる。次にアセンブリは、はんだを得かしてチップ上の各接点を基板の対向する接触パッドに結合するべく加熱される。フリップチップ構成は扇型パターンに配置されたリードを必要としないため、コンパクトなア

センブリが供給される。接触パッドによって占められる基板の面積はチップ自体の面積と略同じ寸法である。更に、フリップチップボンディング技術はチップの周辺の接点に限定されない。むしろ、チップ上の接点はチップの前面のほぼ全体を覆ういわゆる「エリアレイ」に配置され得る。従ってフリップチップボンディングは多数の1/0接点を有するチップに用いるのによく適している。しかしながら、フリップチップボンディングによって製造されたアセンブリは熱応力にかなり弱い。はんだ相互接続は比較的柔軟性であり、チップと基板の差別的な膨張の際に非常に高い応力を受け易い。これらの問題は特に比較的大きなチップに顕著である。更に、チップを基板に取り付ける前にエリアレイの接点を有するチップを試験及び動作又は「焼き付け」するのが困難である。更に、フリップチップボンディングは一般的に、はんだのかたまりに適切な空間を与えるためにチップ上の接点をエリアレイに配置することを必要とする。フリップチップボンディングは一般的にもともとワイヤボンディング又はテープ自動化ボンディングに対して設計され且つチップの周辺上に密接に隣接した接点の列を有するチップには適用することができない。

発明の要約

本発明の1つの特徴によって半導体チップアセンブリが提供される。本発明のこの特徴によるアセンブリは通常、複数の面を有し且つ上記面の少なくとも1つの上に接点を有する半導体チップを含んでいる。このアセンブリは更に、その上に端子を有するシート状の、柔軟性であることが好ましい素子を含んでおり、これらの端子はチップ上の接点と電気的に接続されている。本発明のこの特徴によるアセンブリは、このシート状素子と上記端子の少なくとも幾つかが上記チップの1つの面の上に置かれ、上記端子は上記チップに対して可動であり且つこれらの端子のチップ方向への変位を可能にするが斯かる変位に対向するための弾性手段が配設されていることを特徴とする。上記端子と上記チップとの間にはしなやかな層が配置されていることが最も好ましいが、これは上記端子の上記チップの方向への移動の際に上記のしなやかな層が圧縮されるようにするためである。

このしなやかな層はシート状素子の中に組み込むあるいはシート状素子とは別に形成することができる。接点は通常チップの前表面又は上面に配置されている。

シート状素子及び端子はチップの上記前面の上に置かれ得る。あるいは、シート状素子及び上記端子は上記チップの背面又は底面の上に置かれ得る。シート状素子の上の端子ははんだボンディングによるのと同じようにして基板上の接触パッドに接続することができる。端子が、従って基板上の接触パッドがチップの前表面又は背面の上に置かれるため、アセンブリはコンパクトである。端子がチップに対して平行な方向にチップに対して移動する能力によりチップと基板の差別的な熱膨張が補償される。

端子のチップの面に向かう運動を蓄積する能力により試験装置による端子の一時的な係合が非常に容易になり且つアセンブリが基板に取り付けられる前にアセンブリの試験及び「焼付」が容易になる。本発明の更なる特徴によると、しなやかな層は穴が散在しているしなやかな材質のかたまりを含んでいる。各々の斯かるかたまりはこれらの端子の1つと整合しているのが望ましい。

本発明の更なる特徴により、その上に端子を有する柔軟性のシート状素子を半導体チップに組み立てる段階及び上記シート状素子の上の端子を上記チップ上の接点と接続する段階を含む半導体チップアセンブリを製造する方法が提供される。本発明のこの特徴による方法は、上記シート状素子上の上記端子がチップの表面の上に置かれるように上記組立段階が行われること及び上記チップと上記端子の間にしなやかな層が配置されることを特徴とすることが望ましい。これらの方法は更に、複数の試験プローブと上記端子との間に一時的な電気接点を確立し且つ上記一時的電気接点を利用して上記チップを始動せしめることによりチップを試験する段階を特徴とすることが最も好ましい。このしなやかな層によって、一時的電気接点を確立する段階の間、上記中心端子の少なくとも幾つかの上記チップの方向への変位が可能になる。一時的電気接点を確立する段階は、複数の端子と試験つかみ具に固定的に接続されている複数の試験プローブとの間に一時的接点を同時に確立する段階を含むのが好ましい。

本発明の更なる特徴によると、その上に端子を有する柔軟性のシート状素子を含む半導体チップに組み立てるための部品であって、上記端子の下に置かれるしなやかな層を特徴とする部品が提供される。このしなやかな層は、低弾性率の材質のかたまり及びこの低弾性率の材質のかたまりが散在している穴を含んでおり、

この低弾性率の材質のかたまりが上記端子と整合しており、上記しなやかな層の穴が上記端子と整合していないことが好ましい。

本発明の更なる特徴によるチップアセンブリは前面を有する半導体チップであって、この前面上に複数の接点パターンが配置されている半導体チップを含んでいる。前面上の接点のパターンは、前面上の「接点パターン領域」と本明細書で呼ばれる領域を包囲している。本発明のこの特徴によるチップアセンブリはまた、チップの前面上に置かれる本明細書で「挿入物」と呼ばれるシート状誘電体素子を含んでいる。この挿入物はチップの方向に向いている第1面及びチップから向いている第2面を有している。挿入物の領域はチップの接点パターン領域の上に置かれている。この挿入物は第1面から第2面にその中を延設しているアパーチャを有している。この挿入物はまた、挿入物の第2面上にパターン状に配置されている複数の電導端子を有している。これらの端子の少なくとも幾つか、及び好ましくはこれらの端子の大部分又は全てはチップ上の接点パターン領域の上に置かれている挿入物の領域内に配置されている。各々の斯かる端子はチップ上の1つの接点と関連している。

このアセンブリはまた、柔軟性の導電リードを含んでいる。これらのリードは挿入物の中のアパーチャを通して延設するのが好ましい。各斯かるリードはチップの関連の接点に接続されている接触端及び挿入物の第2面上の関連の端子に接続されている接触端を有している。これらのリード及び挿入物は、これらのリードの接触端が少なくとも諸成分の差別的な熱膨張を補償するのに必要な程度だけこれらの端子に対して相対的に可動となるように構成され配置されている。これらのリードは斯かる移動を可能にするように柔軟性であることが望ましい。挿入物自体は斯かる移動を容易にするべく柔軟性であることが最も好ましい。

本発明のこの特徴によるアセンブリは必要に応じて上記に論じられたようにしなやかな層を含み得る。

これらのチップ、挿入物、端子及びリードを組み込んでいるアセンブリは挿入物の第2面に向けられている上面を有する基板を含むより大きなアセンブリに組み込むことができる。

本発明のこの特徴による好ましいチップアセンブリはコンパクトであり、多数

の1つに接続されている接触端を有している。各周辺接触リードは周辺接点の1つから内方に挿入物の上の中心端子の1つに向かって延設している。これらの周辺接触リード及び好ましくは挿入物も、これらの中心端子が差別的な熱膨張によって生じる運動を許容するべく周辺接点に対して可動となるように少なくとも部分的に柔軟性となっている。ここで再び、アセンブリは上記に論じられたしなやかな層を必要に応じて含み得る。周辺接触リードは曲がり部分を含むことが望ましい。

これらの周辺接触リード及び中心端子によって、挿入物の上の端子がチップ上の周辺接点と境を接している領域の内側に配置されている「閉じた厨型」の構成が与えられる。通常、チップ上の周辺接点はチップの各エッジに沿って1つ又は2つの列に全体的に矩形的パターンに配置されているため、チップ上の接点は互いに接近している。対照的に、挿入物の上の端子は挿入物の第2面上に実質的に均等に配置され得る。中心端子はいわゆる「エリアアレイ」に配置され得る。従って、隣接端子間の距離はチップ上の隣接接点間の距離よりも実質的に大きくなり得る。挿入物上の隣接端子間の距離はんだボンディング及び隣接結合間のかなりの距離を必要とする同様のプロセスを許容するのに十分大きくなり得る。

これらの周辺接触リードの幾つか又は全てはチップの周辺接点を越えて外方に突き出ている外方延長部を有し得る。アセンブリはこれらの外方延長部を保持するための固定手段を含み得る。例えば、1つ又はそれ以上の固定素子を周辺接点の外方に配置することができ、各々の斯かる固定素子を周辺接触リードの上の複数の外方延長部に物理的に接続することができる。各々の斯かる固定素子は各対の平行エッジが各々の斯かる固定素子と挿入物との間の延長スロットを画成するように挿入物のエッジの1つに全体的に平行に延設している内方エッジを有する誘電体材質の全体的に平面のストリップであり得、各周辺接触リードはこれらのスロットの1つを横切って延設し得る。この構成によると、チップの周辺接点は固定素子と挿入物との間のスロットと整合するように配置し得る。この固定素子は、例えば固定素子と挿入物の間をチップ前面の周辺の囲りの離間された位置で延設しているブリッジ素子によって挿入物に物理的に接続し得る。これらの固定素子、ブリッジ素子及び挿入物は1つのシート状ユニットとして互いに一体的に

の入力/出力接続体を有するチップに利用し得る。挿入物の上の端子、及び基板との対応する接触パッドは、チップ自体の上の接点パターン領域と実質的に同じ寸法の領域に配置されることが望ましい。

これらの柔軟性のリードは、挿入物の上の端子と一体的に形成され得るか、あるいは別に細いワイヤに形成され得る。これらのリードは柔軟性を増すために曲げられるのが望ましい。挿入物は、ポリイミド等の高分子材料、フルオロポリマ、熱可塑性ポリマあるいはエラストマから成る薄い柔軟性シートであることが望ましい。この構成によると、挿入物の曲がりによりリードの接触端の端子に対する相対的な移動が容易になり、斯くしてアセンブリの熱サイクルに耐える能力に寄与する。アセンブリはまた、低弾性率を有するしなやかな誘電体封入剤、例えばエラストマ封入剤を柔軟性リードを全体的にあるいは部分的に覆うように含み得る。この封入剤は層の形で提供され、封入剤層の穴が挿入物の第2面上の端子と整合するようにし得る。端子と基板の接触パッドの間の結合はこれらの穴を通して延設する。この封入剤は取扱い及びサービスの間比較的繊細なリードを保護するが、熱膨張の間のリードの曲がりあるいはチップと基板の相対的運動のリードによる吸収を妨げない。

本発明の更に別の特徴によるチップアセンブリは中心領域及びこの中心領域を包囲する周辺領域を含む前面を有するチップを組み込んでおり、このチップは前面の周辺領域の配置されている複数の周辺接点を有している。このアセンブリは更に、チップ前面の中心領域の上に置かれているシート状誘電体挿入物を含むことが好ましい。挿入物がチップに向って下方に向いている第1面及びチップから離れるように上方に向いている第2面を有している。挿入物はまた、周辺接点の内方に配置されているエッジを有している。例えば、挿入物はチップ前面の中心部分のみに置かれ得る。複数の中心端子がこの挿入物の上に配置されており且つチップ前面の中心領域の上に置かれている。アセンブリはまた、チップ上の周辺接点の少なくとも幾つかを挿入物の上の中心端子の少なくとも幾つかと接続している複数の周辺接触リードを含むことが好ましい。各々の斯かる周辺接触リードは斯くして挿入物の上に置かれ且つこれらの中心端子の1つに接続されている中心端末及び挿入物のエッジの1つを越えて外方に突き出ており且つ周辺接点

形成し得る。これらの固定素子によって製造作業の間及びサービスの時に周辺接触リードに対する物理的強化が与えられる。本明細書で「外側」端子と呼ばれる付加的な端子は固定素子の上に配置することができ、これらのスロットを横断して延設している外側端子リードによってチップ上の周辺接点の幾つかに接続することができ、外側端子リードの内方端は、スロット及び挿入物が協力して外側端子リードに対しても補強を与えるように挿入物に固定されている。

これらのアセンブリは挿入物がチップ前面の中心領域の上に置かれるようにシート状誘電体挿入物をチップに組み立てる段階を含む方法によって製造することができ、挿入物の外方エッジはチップ上の周辺接点の内方に配置されている。誘電体挿入物がチップ上に配置されると、挿入物の第1面はチップに向かって下方に向いており且つ挿入物の第2面はチップから離れるように上方に向いており、挿入物上の複数の中心端子はチップ前面の中心領域の上に置かれる。この方法は更に、チップの周辺接点の少なくとも幾つかと挿入物の上の中心端子の少なくとも幾つかの間を複数の周辺接触リードで接続する段階を含んでいるため、各々の斯かる周辺接触リードはチップ上の周辺接点の1つから挿入物の上の中心端子の1つに向かって内方に延設する。この方法は更に、挿入物及びチップに組み立てられる複数の接触パッドを有する基板を組み立て且つ挿入物上の中心端子の各々を基板上の接触パッドの1つと接続する段階を含み得る。

挿入物は挿入物がチップに組み立てられる前に予め製造されたリードをその上に固定し且つ中心端子に接続せしめることができる。この場合、予め製造された接触リードは挿入物がチップに組み立てられる時にチップ上に配置される。斯かる予め製造された接触リードは熱圧縮ボンディング又は同様のプロセスによってチップの接点に電気的に接続され得る。あるいは、周辺接触リードは、細いワイヤが供給されて接点と端子を接続するリードに形成されるワイヤボンディング段階と同じように、挿入物がチップに適用された後形成することができる。固定素子はチップアセンブリに言及して上記に論じられたように配設され、そして固定素子は挿入物がチップ上に置かれる前に挿入物に接続されることが好ましい。この場合、固定素子は挿入物をチップ上に配置する段階の間予め製造されたリードを支持し得る。

本発明の更に別の特徴による半導体チップアセンブリは互いに反対に向いている前面と背面を有し、エッジがこれらの面の間を延設している半導体チップを含んでおり、このチップは前面の上に接点を有している。このアセンブリは更に、本明細書でチップの下に置かれる「裏打ち素子」と呼ばれる全体的にシート状の素子を含んでおり、この裏打ち素子はチップに向いている上面とチップから離れるように向いている底面を有している。裏打ち素子の中心領域はチップと整合している。裏打ち素子には端子が配設されている。裏打ち素子の上の端子の少なくとも幾つか、そして好ましくは全ては中心領域に配置されているため、これらの端子はチップの底面の下に置かれる。本発明のこの特徴によるアセンブリは更に、チップ前面上の接点と裏打ち素子上の端子を相互接続している導電リードを含んでおり、これらのリードはチップのエッジに沿って延設している。裏打ち素子上の端子がチップに対して可動となるために裏打ち素子とリードは柔軟性であることが好ましい。斯くして、これらの端子はチップの上面及び底面の平面に対して平行な方向にチップの前面上の接点に対して可動であることが望ましい。これらの裏打ち素子及びリードにより、背面のチップに対する接続が与えられるため、チップは基板上に面を上にした配置状態で固定することができる。しかしながら、裏打ち素子上の端子が中心領域においてチップ自体と整合して配置されているため、基板に対する接続はチップの下の領域においてなされ得る。従って、アセンブリはチップ自体よりもかなり大きくなる必要がない。チップと裏打ち素子上の端子の間の相対的運動を許容する能力によって、アセンブリはチップと基板の間の差別的な熱膨張を許容することができる。裏打ち素子上の端子はまた、上記に論じられたようにチップの底面に向かう方向にチップに対して相対的に可動であることが望ましく、アセンブリは底面に向かう端子の運動を許容するが斯かる運動に抵抗するための弾性手段を含み得る。例えば、アセンブリはチップの背面と端子の間に配置されたしなやかな材質の層を組み込み得る。

アセンブリは裏打ち素子に接続されている少なくとも1つの全体的にシート状のフラップを含むのが最も望ましい。各々の斯かるフラップはチップの前面に向かって且つ裏打ち素子から離れるようにチップの1つのエッジに沿って上方に延設している。上記のリードの各々はこれらのフラップの1つに沿って延設してい

るフラップ部分を含むことが望ましい。これらのフラップは裏打ち素子と一体的に形成し得る。これらのフラップ及び裏打ち素子は両方共、リードに制御されたインピーダンスを与えるべく導電層及びこれらの導電層とこれらのリードとの間に配置されている誘電体層を含むのが望ましい。斯かる種類のアセンブリはチップ前面の周辺に隣接した列に配列されている接点を有するチップに使用するのに特に最適である。各フラップは接点の少なくとも1つの列の近辺に向かって延設しているのが望ましい。各々の斯かるフラップ上のリードのフラップ部分は接点の隣接した列に接続されている。斯かる接続は例えば、ワイヤボンディング又はリードのフラップ部分とチップ上の接点との間の直接接続によってなされ得る。しかしながらワイヤボンディングが用いられる場合でも、チップの接点とリードのフラップ部分との間に延設しているワイヤは短い。斯かる短いワイヤの結合は容易に適用することができ、比較的低いインダクタンスを有することができる。

このチップアセンブリはこれらのフラップとチップのエッジとの間に配置されている1つ又はそれ以上の支持素子を含むことが最も好ましい。これらの支持素子は互いに協力してチップを包囲しているリング又は箱を構成し得る。この箱はまた背面と裏打ち素子の間にチップの背面の下に配置されている床素子を組み込み得る。アセンブリがチップ背面の下に置かれている床素子を含む場合、しなやかな層は床素子と端子との間に、例えば床素子と裏打ち素子の間に配置し得る。これらの構成によって、フラップの機械的支持及び相互接続の保護が与えられる。アセンブリを封入することにより更なる保護が与えられ得る。

本発明の更なる特徴により、裏打ち素子、リード及び支持素子のサブアセンブリを組み込んでいる成分が提供される。これらの成分は箱を画成する支持素子を含んでおり、且つ箱の両側に沿って上方に延設している裏打ち素子に一体のフラップを含んでいることが好ましい。これらのフラップに沿って延設している導体は箱の壁の上エッジに隣接して予め配置される。アセンブリの製造において、チップは箱の中に配置され且つこれらの導体はチップの端子に整合され得る。

上記に論じられたアセンブリは接触パッドを有する基板と共により大きなアセンブリに組み込むことができ、この基板の接触パッドは裏打ち素子上の端子に整合され且つこれに接続される。斯かる接続は、例えば、これらの端子と基板の接

触パッドの間に配置されている電導結合材料によってなされ得る。

本発明の更なる特徴によると、複数のチップアセンブリであって、各々が上記に論じられたような挿入物及び裏打ち素子を含む複数のチップアセンブリを含む回路アセンブリが提供される。本発明のこの特徴によると、チップアセンブリは1つが他方の上に乗っている積み重ねの状態に構成することができ、これにより最底チップアセンブリ以外の各チップアセンブリが他のすぐ下に隣接するチップアセンブリの上に載るようにしている。各々の斯かる上に乗っているチップアセンブリの裏打ち素子の底面はすぐ下の隣接チップアセンブリの挿入物の第2面に対向している。各々の斯かる上に乗っているチップアセンブリの裏打ち素子の上の内側端子の少なくとも幾つかはすぐ下の隣接のチップアセンブリの挿入物の上の中心端子に接続されているため、種々のチップアセンブリのチップは互いに電気的に接続されている。

本発明の更なる特徴、特性及び利点は添付の図面に関連して行われる以下に記載の好ましい実施例の詳細な説明からよりたやすく明白となろう。

図面の簡単な説明

第1図は、本発明の1つの実施例に斯かるチップアセンブリの斜視線図である。

第2図は第1図における線2-2に沿って取られた部分断面図である。

第3図は第2図に示されている領域の拡大断面図である。

第4図は、第1図のアセンブリにおける特定の部品の空間関係を示すレイアウト図である。

第5A図及び5B図は、第1図のアセンブリに利用されている部品の製造における特定の作業を示す部分斜視線図である。

第6図、7図及び8図の各々は、第1図のアセンブリの製造のプロセスにおける特定の作業を示す部分斜視線図である。

第9図は、本発明の更なる実施例に係る成分及びプロセス段階を示す第7図に類似の部分斜視線図である。

第10A図乃至11E図の各々は、本発明に係る更なる部品製造プロセスにおける段階を示す部分斜視線図である。

第11図は本発明の1つの実施例に組み込まれている半導体チップの平面線図で

ある。

第12図は付加的部品に関連してチップを示す第11図に類似の図である。

第13図は第12図に示されている諸部品の諸部分を示す拡大部分断面斜視図である。

第14図は、付加的部品及びプロセス装置と共に第13図に示されている諸部品を示す部分断面図である。

第15図は、本発明の更なる実施例に係るアセンブリ作業を示す部分断面図である。

第16図は、本発明の更なる実施例に係るアセンブリを示す部分断面斜視図である。

第17図は第16図のアセンブリを示す平面線図である。

第18図は、本発明の更なる別の実施例に係るアセンブリを示す平面線図である。

第19図は、第16図及び17図に係るアセンブリにおいて用いられる特定の諸部品を示す部分平面図である。

第20図は、本発明の更なる実施例に係る任意のアセンブリの諸部分を示す第16図に類似の部分斜視図である。

第21図は1つの成分の平面斜視図である。

第22図は、第21図における線22-23に沿って取られた拡大部分断面図である。

第23図は、第21図乃至22図の諸部品に用いられる更なる部品の斜視線図である。

第24図は、第23図における線24-24に沿って取られた部分断面図である。

第25図は、アセンブリプロセスの中間段階における第21図乃至24図の諸部品を示す斜視線図である。

第26図は、第21図乃至25図の諸部品を組み込んでいる最終アセンブリを示す部分断面斜視図である。

第27図及び28図は、本発明の付加的実施例に係る諸部品を示す部分断面斜視図である。

第29図及び30図は、更に別の実施例を示す断面図である。

好ましい実施例の詳細な説明

本発明の1つの実施例に係る各チップアセンブリは上面22を有し且つ上面の上

に配置されている接触パッド24を有する硬質基板20を含んでいる。基板20にはまた、接触パッド24の特定のパッドを相互接続している導線26が配設されている。これらの接触パッド24は基板上に固定されている半導体チップ28及び30並びに個別部品32等のデバイスに対する接続パターンに全体的に対応している基板の上面におけるパターン上に配列されている。基板20はまた、ピン34等の外部接続体を有している。これらの導線26はこれらが基板に固定された時にチップ28と30を相互接続するべく且つまたこれらのチップを個別部品32に且つ外部コネクタ34に特定の回路の機能のために適切な様式で接続するべく所望パターンに種々の接触パッド24を相互接続するように配列されている。少しの接触パッド24、導線26及び外部接続体34のみが第1図に示されているだけであるが、基板20は無限の数の接触パッド24、導線26及び外部接続体34を有し得る。通常何百あるいは何千ものこれらの素子が各基板に配設されている。

チップ28は全体的に平面の背面36及び全体的に平面の前面38を有しており、電気的接点40(第2図)が前面38上に配置されている。これらの電気的接点40はチップ28の内部電子部品(図示せず)に電気的に接続されている。チップ28は前面が下に向いている向きで基板20の上に取り付けられており、チップの前面38は基板の面22の上面に向いている。チップと基板の間には柔軟性のシート状誘電体挿入物42が配置されている。挿入物42はチップ28に向いている第1の全体的に平面の面44及びチップ28から離れるように反対の方向に向いている第2の全体的に平面の面46を有している。挿入物42は1つ又はそれ以上の層を組み込み得る。挿入物は以下に更に論じられるようなしなやかな圧縮性の層を含むのが好ましい。挿入物42はその第2面46の上に複数の端子48を有している。各々の斯かる端子はチップ28上の接点40の1つに係合しており且つ柔軟性リード50によって斯かる接点に接続されている。各端子48はまた基板20の上の1つの接触パッド24に係合しており、各端子ははんだ等の導電結合材料のかたまり52あるいは導電ポリマによって関連の接触パッドに結合されている。斯くして、チップ40上の接点はリード50、端子48及びかたまり52を経由して基板上の接触パッド24と相互接続している。

挿入物42はその第1面44からその第2面46に延設しているアバーチュア54を有している。各アバーチュア28上の1つの接点40と整合している。各端子48はアバ

ーチュア54の1つに隣接して配置されている。各端子に係合しているリード50は関連のアバーチュア54内に配置されており且つチップ上の関連の接点40に接続されている接触端56を有している。各リード50はまた、関連の端子48に接続されている端末58を有している。第2図の構造において、リード50は、各リードの端末50が関連の端子48と併合するように端子48と一体的に形成されている。第2図から最もよく判るように、各リード50はその接触端56とその端末58の間で曲げられている。この曲率は挿入物の面46及び48に対して垂直の方向になっている。アバーチュア54の中には弾性誘電封入剤60が配置されており、これにより封入剤がリード50の接触端56を覆い、従ってこれらのリードと接点40との接合点を覆うようにしている。

各リード50の接触端56は関連の端子48に対して相対的に可動となっている。第3図から最もよく判るように、リード50aの接触端56aはその通常の変形されていない位置(実線で示されている)から挿入物42の面44及び46に平行で且つチップ28の前面38に平行な方向に変位し得る。例えば、接触端56aは56a'において破線で示される位置に変位し得る。この変位はリード50の柔軟性によって且つ挿入物42の座屈及びちりめんじわ(wrinkling)によって可能となる。封入剤60はしなやかであり、リード50の曲がり及び挿入物42の座屈及びちりめんじわに実質的に抵抗しない。第3図において通常の変位しない位置56aから変位した位置56a'に示されている変位によってリード50は圧縮の下に置かれる。即ち、端末56aは位置56aから位置56a'に移動する際に関連の端子48に向かって全体的に移動する。この方向の移動は、特にリード50の座屈によってよく許容される。各リードの接触端はまた他の方向に、例えば、関連の端子48から離れるように位置56aから反対方向に且つこれらの方向に対して垂直の方向に、第3図に示されている図面の平面に且つ平面から出るように移動することもできる。挿入物の上に形成されている予め製造されたリードは挿入物の面に平行で且つチップの前面の平面に平行な方向に曲がることことができる。これによりリードの柔軟性が増大する。各々のリードの曲率は挿入物の中のアバーチュアの上に置かれるのが望ましい。斯くして、リードの曲率は挿入物に結合されない。従ってリードのこの部分は挿入物の変形なしに接点と端子の相対的運動を許容するように曲がることことができる。

通常約1.0倍未満である。

第1図乃至第4図の構造に利用されている挿入物及びリードは第5A図乃至第5B図に略示されているプロセスによって製造され得る。この手順では、端子48及びリード50はアバーチュア54の形成の前に従来の印刷回路製造技術によってシート状挿入物の第2面46の上に配置され得る。斯くして、これらのリード及び端子は金属がメッキによって所望パターンに析出される加色法によってあるいはシート状挿入物42と金属の金属の両方を含むラミネートから始まって、端子及びリードが所望される領域を除いて金属を除去する減算法によって形成することができ、これにより所定の位置にある端子及びリードを有するシートを生じる(第5A図)。端子及びリードの形成の後、第1面44から挿入物を通してエッチングすることによりあるいは第1面44の上の適切なスポットに焦点付けされたレーザービーム等の放射エネルギーを適用することによりリード50の接触端56と見当するアバーチュア54が形成される(第5B図)。

挿入物、端子及びリードを組み込んでいる成分を製造する更なる方法が第10A図乃至第10E図に示されている。この方法では、アバーチュア54は挿入物42の中に形成されており、アバーチュアの挿入物には挿入物の第2面46上の接着剤の層302が配設されている。銅のシート304等の導電シートが挿入物の第1面に適用されており、これによりシート304は接着剤302の上に置かれ且つシート304はアバーチュア54の上に置かれている。シート304の第1面306は挿入物42に向けられており且つ挿入物の第2面46に対向しており、接着剤層302はその間に配置されている。導電シートの第2面308は挿入物から離れるように向けられている。導電層304の第2面308の上には感光レジスト組成の層310が適用されている。レジスト312がアバーチュア54内の導電層304の第1面306を覆うようにするためにアバーチュア54内には第2レジスト組成312が置かれている。レジスト312は第10B図に示されているように第2レジスト組成の層を挿入物42の第1面44に適用することにより適用されるのが望ましい。レジスト組成310と312は両方共いわゆる「ドライレジスト」、即ち、他の構造に積層され得るレジスト組成のフィルムとして提供され得る。レジスト組成312はレジスト組成がアバーチュア54の中に流れ、これらのアバーチュアをかなり充填するように圧力下で挿入物42の

第4図から最もよく判るように、チップ28上の接点40(第4図において各々ドットで記号化されている)はチップ28の前面上でパターン状に配置されている。接点40はチップ28の前面上の接触パターン領域62を共同で包囲している。接触パターン領域の境界は第4図において破線Bで示されている。接触パターン領域の境界は接点40の全てを共同的に封入しているチップの前面に沿った虚線の最短の組合せとして取り得る。第4図に示されている特定の例において、この境界は全体的に矩形的の形を取る。接点40はチップ28の内部構造によって決定された位置において接触パターン領域62にわたって配置されている。接触パターン領域62は境界Bに隣接した周辺領域、及び接触パターン領域の幾何学的中心64に隣接した中心領域を含んでいる。接点40は周辺領域と中心領域の両方に配置されている。通常、必ずしもそうではないが、接点40は接触パターン領域62の全体にわたって実質的に等しい間隔で配置されている。第4図において各々Xで記号化されている端子48は、挿入物42の第2面46上で同様のパターンで配置されている。端子40の少なくとも幾つかは接触パターン領域62の上にある挿入物面46の領域に配置されている。端子64は挿入物の第2面46の上の端子パターン領域66を包囲している。端子パターン領域66の境界は、第4図において破線Tで示されている。この端子パターン領域の境界は挿入物の第2面上の端子の全てを共同的に包むであろう虚線セグメントの最短の組合せとして取られ得る。端子アレイ領域66の幾何学的中心は接触アレイ領域の幾何学的中心64と一致しているかあるいは近似的に一致している。端子パターン領域66は接触パターン領域62より実質的に大きくないことが望ましい。即ち、端子領域の周囲は接触パターン領域62の周囲の約1.2倍、そして最も好ましくは約1.0倍未満である。別の形で述べると、最外端子48は接触アレイ領域62の境界B内にあるいは近くに置かれているのが望ましい。端子パターン領域66内に包囲されている全面積は接触パターン領域62内に包囲されている全面積の約1.4倍、そして最も望ましくは約1.0倍未満であるのが望ましい。斯くして、接点48を端子40に接続しているリード50は接触パターン領域の幾何学的中心64から離れるようにして「U型に開く」ようになっていない。通常、チップと挿入物の表面に平行な方向に特定される接触パターン領域の幾何学的中心64からの端子48の平均距離は、中心64からのチップ接点40の平均距離の約1.1倍で、

第1面44に積層される。

第10C図に示されているプロセスの次の段階において、第1レジスト層310は選択的に硬化し、仕上げ製品における導電材料の所望パターンと対応するパターンの硬化レジストを残すべく未硬化部分が除去される。斯かる選択的硬化及びレジスト層の除去は公知の写真技術によって達成され得る。導電層304の第2面308上の残りのレジストパターンは延長されたリード領域314及びこれらのリード領域と隣接している端子領域316を含んでいる。各リード領域314の少なくとも一部分は挿入物内のアバーチュア54の1つの上に乗っており、一方端子領域316はこれらのアバーチュアの上に載っていない。1つのアバーチュアの上に載っている各リード領域314の部分はアバーチュアよりも小さいため、各リード領域は関連のアバーチュア54の一部分のみの上にしか載っていない。各リード領域54は、第10C図に示されているように、アバーチュア54を横切って長さ方向に突き出ていることが望ましい。アバーチュア54内の第2レジスト材312も硬化することが望ましい。第2レジスト材が全体的に硬化することができ、所定のパターン状に選択的に硬化する必要がないため、この第2レジスト材は熱暴露によりあるいは他の非選択的硬化法によって硬化し得る種類の材料であり得る。あるいは、第2レジスト材312は写真的に硬化し得る。

第10D図に示されているプロセスの次の段階では、アセンブリは層304の導電材料を溶かすことのできるエッチング材に浸漬され、これによりエッチング材がこの層に接触するようにしている。エッチング手順の間、リード領域314及び端子領域316における第1レジストが導電層304の第2面308を保護する。挿入物42は端子領域316における且つアバーチュア54の上に載っていないリード領域314の領域の部分における層304の第1面306を保護する。第2レジスト312はアバーチュア54の上に乗っているリード領域314の部分における第1面306を保護する。従ってエッチング剤は第1レジスト層310のリード部分314と端子部分316によって覆われている導電層304の部分を侵蝕しない。次に第1レジスト層310及び第2レジスト312はレジストを侵蝕する溶剤に対する暴露等の従来のレジスト分解プロセスによって除去される。これにより導電層304の未侵蝕部分が挿入物42の第2面46上にリード50及び端子48として残り、各リード50の接触端56は関

第2面46の平面内に実質的に置かれている。ツール74は、接触端56を下方にその下に置かれているアバーチュア54の中に且つ関連の接点40に向かって変形せしめるために各リードの接触端56に係合するように進む。ツール74は実質的に従来の熱ボンディングツール、超音波ボンディングツール、超音波ボンディングツール、圧縮ボンディングツール、あるいはテープ自動化ボンディング又はワイヤボンディングに一般的に用いられる種類のツールであり得る。ツール74を各アバーチュア54の中に進めることにより、リードの接触端はアバーチュア内で処理され、チップ上の接点40に結合される。第7図には1つのツール74しか示されていないが、このボンディング作業は多重作業で行うことができ、リード50の多く又は全ては関連の接点に一度に結合される。

これらの接点及びリードが互いに結合されると、挿入物及びチップは更なるステーションに進み、そこで封入剤60が各アバーチュア54内に適用される。封入剤60は、従来の滴下装置によって滴下され得る。第8図において最も良く判るように、封入剤60の各液滴は関連のリードの接触端56を包うが、関連の接点48は覆われないで残しておく。この封入剤はリードの比較的敏感な接触端56及び端子40との比較的敏感な整合点を保護する。一旦封入剤が適用されると、挿入物、リード、端子及びチップのアセンブリは試験ステーションに進む。第8図に示されているように、チップ28を含んでいるアセンブリが試験される。この試験はチップの端子48を通しての外部電子試験デバイス（図示せず）への接続を含み得る。この試験デバイスはチップを「焼付」且つ潜在的な欠陥は何でも検出するべくかなりの期間にわたって電力下でチップを動作するように構成され得る。一般的に、多数の接続を同時にチップに対して確立すべきである。第8図に示すように、これはプローブ76を端子48に適用することにより達成され得る。プローブ76はいわゆる（しなやかでない）プローブであり得る。即ち、プローブは、（第8図に示されるように上方に且つ下方に）チップ28に向かって且つチップ28から離れるような方向に一致して移動するように構成され得る。これらのプローブ76はプローブの互いに対する相対的な垂直位置が固定されるように共通の把持具（図示せず）に取り付けられる。斯かる型式の「しなやかでない」プローブアレイは、プローブ間の所要の間隔（端子48の間隔）が比較的小さい場合に特に便利である。しかし

連のアバーチュア54の上に突き出し、各リードの端末58は関連の端子48に接続される。

このプロセスは修正することができる。例えば、導電層が挿入物の材料に対して十分な結合を形成している場所では接着層302は省略することができる。また、パターン第1レジスト310は上記で論じられたような減算法によって与えられる必要がないが、その代わり、レジストがスクリーン印刷によるのと同じようにしてその領域のみに適用されてパターンを形成する加色法によって与えられ得る。リード50及び端子48のこの種類のエッチングプロセスによる形成は特に、アバーチュア54と良好な見当で細いリードを形成するのに有用である。また、アバーチュア54は予め形成されるため、アバーチュアの形成中にこれらのリードを破損する可能性がない。

挿入物及び端子及び接点のアセンブリは実質的に連続のシート又はストリップ状に形成される。第6図に示されているように、これらの挿入物は、複数の挿入物42がテープに沿って長さ方向に離間しており、各々の斯かる挿入物はその上に端子48及びリード50を有している連続テープ70の形に与えられ得る。テープ70は挿入物42に対して用いられる材質の単シートの形を取るかあるいは各々が裏打ち等に固定されている1つ又はそれ以上の挿入物を構成している斯かる材質の別々の片を含み得る。テープ70はスプロケット穴（図示せず）あるいは半導体チップのテープ自動化ボンディングのためにテープ上に一般的に利用される特徴等の他の特徴を有し得る。

本発明に係る組立方法によると、テープ70は下流方向に（第6図に示されているように右方向に）進み、チップ28は各チップの1つの挿入物42への且つ関連の端子及びリードへの組立の際にテープに接続される。これらのチップは、以下に論じられるように更なる作業を通してこの後テープと共に下流に運ばれる。

第7図を見ると最もよく判るように、その上に端子48及びリード50が載っている各挿入物は、チップ28と並置され、チップは各アバーチュア54がチップの1つの接点40と整合するように挿入物と整合する。挿入物42及びチップ28は共に運ばれるため、挿入物の第1面44はチップの前面38の上に載り、これらの接点は挿入物のアバーチュア54の中に受けられる。各リード50の接触端56は初めは挿入物の

ながら、プローブ76の寸法における及び又は端子48又はチップ28の寸法における非均一性によってプローブ76の1つ又はそれ以上は他方のプローブがそれらの端子に係合する前に関連の端子48に係合してしまうことがある。各端子48が関連のプローブ76によってチップ28への方向に僅かに変位できるようにするために挿入物42はしなやかであることが望ましい。各端子48の下に挿入物42の領域は斯かる変位を許容するために僅かに圧縮する。これによりプローブ76の全てはどのプローブにも過大な負荷を課すことなくそれらの関連の接点48に係合することができる。

端子48は、各接点76による係合のために比較的大きな面積を与えるべく且つ斯くして挿入物の面に平行な方向への接点の妥当な量の不整合を許容するべく、チップ上の接点よりも大きくなり得る。各チップは基板との組立に先立ちこのようにして試験できるため、チップにおける欠陥、挿入物に関連する端子及びリードにおける欠陥及びリードとチップの間のボンドにおける欠陥をチップが基板に一体化される前に試験することができる。

試験作業の後、チップ及び挿入物は基板と一体化する。チップと挿入物のアセンブリは、挿入物の第二面及び端子48が基板の上面に対向し、各端子48が基板上の1つの接触パッド24に対向するように配向される。対向する端子48と接触パッド24の間にははんだのかたまりが適用され、「はんだリフロー」作業において溶かされ、これによりはんだが接触パッドと端子との間に確実な接合点を形成し、且つはんだのかたまりが、第2図に示されている配向においてチップと挿入物のアセンブリを基板20の上で支えるようにしている。このはんだの適用及びリフローの作業は従来のフリップチップボンディングのはんだ適用及びリフロー作業と実質的に同じ方法で実行され得る。斯くして、はんだのかたまりは初めは、チップと挿入物のアセンブリが基板に一体化される前に基板の接触パッド24に適用され得る。あるいは、はんだは端子48に適用されてリフロー作業において接触パッド24に結合され得る。フラックスは通常はんだリフロー作業において採用される。はんだのかたまりがチップと挿入物の表面のアセンブリを基板の上で支えているため、挿入物と基板の間には空隙80が存在する。フラックスの残渣は洗浄液をこの空隙に通すことによりアセンブリから洗い流される。

本発明の更なる実施例に係る組立て方法において、挿入物42には挿入物がチップ28と一体化される前にはリードが配設されない。その代わり、挿入物がチップと組み立てられた後、別に形成された細いワイヤの片を端子48に且つ接点40に結合することによりリード50'が適用される。リード50'は柔軟性があり且つ湾曲しており、各接点40及びリード50'の関連の接触端が熱膨張を許容するべく関連の端子48に対して相対的に移動できるようにするために上記に論じられたように変形するように構成されている。第9図に示されている実施例では、接着層81が挿入物の第一面とチップの前面の間に配置されている。

第9図に示されているサブアセンブリには、挿入物42の第二面46を実質的に全体を覆い、従ってアバーチャ54を充填し且つリード50'を覆う層の形にある封入剤(図示せず)が更に配設され得る。この層には端子48と整合されている穴が配設されている。これらの穴は、この層をスクリーン印刷等の選択的な塗布プロセスに適用するかあるいはこの封入剤層を選択的硬化プロセスに適用することにより封入剤層をエッチングすることにより形成することができる。斯くして、封入剤は紫外線又は他の放射エネルギーによって硬化することができる。封入剤は挿入物の全体にわたりあるいは端子48の全体にわたって配置され得る。封入剤の適用の後、端子48の上にある層の領域が未硬化のままを保つように放射エネルギーが選択的に適用され得る。これらの層は次に、洗浄あるいは比較のおだやかなエッチング作用によって除去され、端子48と整合している穴が残る。あるいは、封入剤層は非選択的に硬化され、次にレーザ光等の放射エネルギーを端子48と整合して適用することによりこれらの部分が除去され得る。封入剤層のこれらの穴の中には導電性ボンディング剤のかたまりが配置される。これらのかたまりは次に基板の接触パッド(図示せず)と係合し、加熱され、これによりボンディング材が第2図に示されているアセンブリのはんだボンドと類似の様式で各端子48と基板上の関連の接触パッドとの間にボンドを形成するようにしている。

チップは、周辺に、即ちこれらの接点の全てがチップの周辺に隣接して、従って接触パターン領域の周辺に隣接して配置されている所に配置されている接点を有し得る。接点アレイの幾何学的中心に隣接している接触パターン領域の中心領域は接点がなくともよい。斯かるチップによると、挿入物上の端子は「図が閉じ

た」パターンに、即ち、接触アレイの幾何学的中心から挿入物上の端子への平均距離がこの幾何学的中心からチップ上の接点への平均距離より小さい場所に構成され得る。これらの端子の幾つかは接触パターン領域の中心の接点がない領域の上にある挿入物の領域上に配置されている。この配置により、接触パターン領域に等しい領域の上に端子の実質的に均一の分布が配設される。これにより、隣接した接触間の間隔よりも大きな間隔が隣接端子間に与えられる。斯かる構成により、周辺接点アレイを有するチップの基板上の接触パッドのエリヤアレイとの接続が可能となる。斯くして、テープ自動化ボンディング等の従来のボンディングプロセスに元々意図されたチップはフリップチップボンディングに用いられるものと類似のコンパクトな接触パッドアレイを有する基板にたやすく且つ経済的に適合することができる。

チップは、全てが同一の設計かあるいは異なった設計の複数のチップを組み込んでいるウェハの形に配設され得る。ウェハを構成している個別チップの上には個別の別の挿入物を配置することができ、これらの挿入物は上記に論じられたようにこれらのチップに組み立てることができる。この作業において、各チップ上の接点はリード及び各挿入物の端子に固定される。挿入物がチップに固定された後、望ましくは各挿入物のリードと各チップの接点との接続が封入された後、これらの個別チップは、例えば従来のウェハ切断装置あるいは挿入物なしに個別チップを切断するのに通常用いられている「さいの目切り」装置を用いてウェハを切断することによりウェハから且つ互いから分離される。この手順により、各々が個別基板に固定され得る複数のチップと挿入物のサブアセンブリが生じる。

あるいは、複数のチップを組み込んでいるウェハを複数の挿入物を組み込んでいるシートに組み立てることができる。再び、各チップ上の接点は端子及び特定のチップの上に乗っている1つの個別挿入物のリードに固定される。ウェハ及びシートは、各々がチップと挿入物を含んでいる個別サブアセンブリを提供するべく、この作業の後に、望ましくはリードを封入した後切断される。

挿入物はまた、挿入物等の複数の挿入物を組み込んでいるシートの形に且つ基板を含む完成されたアセンブリ上のチップの位置に対応する所定の相対的位置に配設され得る。チップは個別挿入物に固定され且つ複数のチップと複数の挿入物

のシートのアセンブリ全体は基板に固定され得る。斯かるアセンブリにおける各挿入物は上記に論じられたような端子とリードのパターンを組み込んでいるのが望ましい。この異形のアセンブリの手順によって、基板に結合される前に複数のチップのより大きなサブアセンブリへの結合が行われる。

本発明の更なる実施例に用いられている半導体チップ820は面の幾何学的中心に隣接した中心領域824及び面822と境を接するエッジ828に隣接した周辺領域826を有する全体的に平面の前面822(この面は第11図に見られる)を有している。チップの前面又は接点支持面822はチップの上部を画成していると思なされる。斯くして、方向を規定する上で、前面822を指し且つチップから離れる方向、即ち、第11図を見る者に向かって図面の平面を指す方向は上方の方向である。下方の方向はその反対方向である。半導体チップアセンブリに関する現在の開示に用いられているように、斯かる用語はこの慣例に基づいて理解されるべきであり、通常の重力的な見解に対する任意の特定の方向を意味するものと理解されるべきではない。チップ820はまた、列832に配置されている複数の周辺接点830を有しており、チップの各エッジ828には斯かる1つの列が隣接している。これらの列832は互いに交差していないが、その代わりチップの隅からかなりの距離で終端しており、これにより隅834が周辺接点830を欠くようにしている。チップ前面822の中心領域824も接点がない。各列832における接点830は、通常中心から中心が約100乃至約250マイクロメートルの非常に最近したインタバルで離間している。この中心から中心の間隔はワイヤボンディング又はテープ自動化ボンディングにとって適切である。このチップ構成はワイヤボンディング又はテープ自動化ボンディングシステムに用いられるように元々意図された高いI/O計数チップにとって典型的である。

本発明の1つの実施例に係る組立方法において、シート状誘電体挿入物836がチップ820に組み立てられる。挿入物836は比較的高い弾性率を有する材料の薄いシートによって形成されている柔軟な上層838(第13図)及び比較的低い弾性率を有する材料から形成されているしなやかな底層840を含んでいる。上層838の高弾性率材料はポリイミド又は他の熱硬化ポリマ等のポリマ、フローロポリマあるいは熱可塑性ポリマであり得る。底層840のしなやかな低弾性率材料はエラ

ストマであり得る。この低弾性率材料はショアA押込コード約20乃至70のやわらかなゴムに匹敵する弾性特性(弾性率を含む)を有している。挿入物836は底層840によって画成されている第1即ち底面842並びに上層838によって画成されている第2即ち上面844を有している。底のしなやかな層840はこの低弾性率材料のかたまり843が散在している穴又は空隙841を含んでいる。

挿入物836は面842及び844と境を接しており且つその間に延設しているエッジ846を有している。挿入物はまた、第2即ち上面844の上に分布されている複数の中心端848を有している。端子848は端子848が「エリヤアレイ」を構成するように表面844の上に実質的に均一のスペースで配置されている。上面844の平面における挿入物836の寸法は前面822の平面におけるチップ820の対応の寸法よりも小さくなっている。中心端子848の数は半導体チップ上の周辺接点830の数に略等しくなり得る。それにも拘らず、隣接している中心端子848の間の中心から中心の直線距離はチップ上の隣接の周辺接点830の間の中心から中心の距離よりも実質的に大きくなっているが、これは中心接点848が少しの列のみに集中されているのではなく実質的に均一に分布されているからである。各中心端848はしなやかな層840における低弾性率のかたまり843の1つに整合されており、一方しなやかな層における穴841は中心端848と整合されていない。この実施例の異形において、これらの穴は端子848と整合され得る。更なる異形において、これらの穴は互いに連続となることができ、一方、低弾性率材料のかたまりは斯かる連続した穴によって全体的に包囲される別々のポスト又は柱であり得る。

第13図に最も良く示されているように、各中心端子848は中心端子と一体的に形成されている部分リード50及びボンディング端子852と接続されている。中心端子848、部分リード50及びボンディング端子852は実質的に任意の導電材料から形成され得るが、銅及び銅合金、貴金属及び貴金属合金等の金属材料から形成されることが好ましい。これらの部品は通常、従来の写真平板エンドエッチング又は沈着技術によって挿入物836の上面即ち第2面844に構成される。ボンディング端子852は挿入物のエッジ846に隣接した列54に構成されている。第12図に最もよく示されているように、ボンディング端子の4つの斯かる列54が存在し、その1つは挿入物の各エッジに隣接している。

本発明のこの実施例に係る組立方法において、その上に予め形成された端子848、部分リード50及びボンディング端子852を有する挿入物836がチップ820上に配置され、これにより挿入物の第一面842がチップの前面822に対向し且つ挿入物のエッジ846がチップ上の周辺接点830の列832の内方に配置されるようにしている。ボンディング端子852は従来のワイヤボンディング作業によりチップ上の接点830に電気的に接続される。チップ上の周辺接点830の列に平行な且つ隣接している列におけるボンディング端子852の構成により、ワイヤボンディングプロセスが実質的に容易になる。ワイヤボンディング作業において適用された細い柔軟なボンディングワイヤ856は挿入物上のボンディング端子852及び部分リード50と融合して、チップの周辺接点から挿入物上の中心端子に延設している複合リードを形成する。第13図に基づいて最も良く理解されるように、各々の斯かる複合リードは1つの周辺接点830から中心通路における関連の中心端子848に内方に延設している。各々の斯かる複合リードは挿入物のエッジ846を横断して延設している。

プロセスの次の段階において、シリコンラバー又は他の流延可能エラストマ858等の低弾性率誘電体封入剤又ははんだマスキング材料(第14図)が挿入物とチップの上に且つボンディングワイヤ856の上に適用される。封入剤は穴860を挿入物上の中心端子848の各々に対して整合するように残すべく適用される。これは、第9図のアセンブリに言及して上記に論じられたように達成し得る。この段階において、アセンブリは比較的凹凸がありたやすく取り扱うことができる。斯くして、ワイヤ856は封入剤によって完全に保護される。

封入剤858が適用される前あるいは後で、アセンブリ内でなされるチップ及び接続の全ては、中心端子848への一時的電気接続を行うことにより試験することができる。中心端子848はかなりの中心から中心への距離にあるため、これは第14図に略示されている複数のプローブセット862等のプローブとたやすく接触し得る。更に、挿入物の底層840はしなやかであるため、各中心端子848はチップ820の前面822に向かって且つ離れるように変位可能である。斯くして、底層はプローブセット862の先端864によって圧縮することができる。これにより、複数のプローブと複数の中心端子との間の良好な電気的接触を一度に行うことが非

常に容易になり、従ってアセンブリのチップと他の部品の電気的試験を容易に行うことができる。しなやかな層840のこの構成はこの作業に寄与している。低弾性率の各かたまり843によって整合された端子848に裏打ち及び支持が与えられる。試験プローブセット862の先端864が端子に係合すると、各かたまり843は垂直方向に圧縮され、従ってチップの平面に対して平行な水平方向に膨張する傾向にある。穴841は斯かる膨張に対して空きを与える。各端子848は実質的に他の端子から独立してチップの方向に下方に移動することができる。しなやかな層840は隣接端子間及び/又は試験プローブ間の垂直位置の差を許容することにより部品及び試験装置における公差を許容するために端子848の十分な下方移動を与えるだけでよい。通常、約0.125mm以下のコンプライアンスである。例えば、しなやかな層840は約0.2mmの厚さであり得る。

試験プローブセット862は数個の先端864のみを含んでいるように略示されているが、実際この試験プローブセットは、端子848の全てが同時に係合できるようにするために端子848の数と数的には等しい完全にコンプリメントな先端864を含み得る。従って、試験プローブセットは堅固で、信頼性があり且つ耐久性であり得る。先端864の特定の形状は重大ではない。しかしながら、先端864は支持体865にはんだ付けされた小さな金属球体等に形成されるのが望ましい。支持体865は、従来の半導体基板に類似している適切な内部リードを有するセラミック体であり得る。試験プローブセットはサブアセンブリにおける全ての端子に対して同時接続を行うことができるため、且つ試験プローブセットは実際の基板に類似の寸法及び構成を有し得るため、試験プローブを用いてなされる一時的な電気的接続によってチップと挿入物のサブアセンブリの現実的な試験を行うことができる。特に、試験プローブセットは好ましくないインダクタンス及び/又はキャパシタンスをもたらし得る長いリードを含む必要がない。従って、試験プローブセットはチップを全速で試験し且つ作動するのに用いることができる。試験プローブセットは単純な経済的なデバイスであるため、各チップが長い期間にわたって試験できるようにするために多くの斯かるプローブセットを製造工場において配設することができる。

試験後の組立作業の次の段階では、チップと挿入物のサブアセンブリがその上

に電気的接触パッドを有する基板に設置される。アセンブリは、中心端子848が基板上的電気的接触パッドに向かって対向するように且つ各中心端子848が1つの接触パッドに整合されるようにするために基板上に配置される。はんだ又は導電接着剤等の導電ボンディング材料のかたまりを中心端子と基板の接触パッドの間に配置することができる。これらのかたまりは次に流されて次に中心端子848と接触パッドに結合され、これにより中心端子と接触パッドの間に機械的且つ電気的接続を形成する。このプロセスのこの段階は印刷回路基板上の部品の組立のための表面組込技術に用いられているのと実質的に同じ技術を利用することができる。中心端子848はかなりの中心から中心への距離に配置されているため、この標準的な表面組込技術を用いることができる。例えば、高いI/O計数を10-25ミル(250-625マイクロメートル)の中心から中心距離で達成することができる。代替の実施例において、基板上の各接触パッドはソケット等の微小の分離可能コネクタであり得、各端子にかみ合い分離可能コネクタを配設し得る。例えば、各端子848は斯かるソケットに係合するように適合されている小型ピンを組み込み得る。この場合、ピンは端子848を基板の接触パッドに接続する手段として作用する。封入剤又ははんだマスク層には、各穴860を包囲する、従って各端子848を包囲する金属リングが配設し得る。各々の斯かるリングははんだを塗ることのできる予め選択された領域を画成しており、斯くして各接合点のはんだを予め選択された領域に閉じ込める。また、端子848との電気的接点におけるはんだマスク層の穴には小さなスタッド、ボール又はピンを配置することができ、これらのスタッドは基板にはんだ付けされ得る。

チップ上の各周辺接点830が挿入物上の中心端子848の1つに接続されており、且つ各々の斯かる中心端子は基板上的接触パッドの1つに接続されているため、各々の周辺接点830は基板の接触パッドの1つに接続されている。この基板の接触パッドは勿論、基板に組み込まれている従来の接続体(図示せず)を通して電気回路の他の素子に接続し得る。例えば、基板はチップ820に加えて種々の電子素子を組み込んでいる回路基板、回路パネル又はハイブリッド回路基板であり得る。

チップと基板との間の(周辺接点830と接触パッドとの間の)相互接続はチッ

プ自体の領域内の、即ち、チップ820によって占有されている基板上の領域内に収容される。斯くして、基板の表面上のどのスペースも従来の「扇形」パターン相互接続によって浪費されない。更に、アセンブリは熱サイクルに対してかなり抵抗がある。チップ周辺接続の1つ及び挿入物上の中心端子848の1つを接続している複合リードの各々は柔軟性である。斯くして、挿入物自体上の部分リード50(第13図)は柔軟性であることが好ましく、この細いボンディングワイヤ856はまた柔軟性である。挿入物自体、そして特に上層838及びしなやかな底層840は柔軟性であり得る。従って、挿入物上の端子848のチップ上の接点830に対するチップの前面に対して平行な方向への相対的な実質的な移動があり得る。斯かる移動は、リードとチップ接点との間の接合点に実質的な力を適用することなく許容され得る。アセンブリの使用の期間中、チップ820と基板の差別的な熱膨張によって基板上の接触パッドのチップ上の周辺接点830に対する相対的なかなりの変位が生じ得る。挿入物の中心端子848が比較的堅いしなやかでない導電材料によって基板の接触パッドに結合されているため、中心端子は接触パッドと共に移動する傾向がある。しかしながら、斯かる移動はたやすく許容され、中心端子と接触パッドとの間のボンドにかなりの応力を生じることがない。

第15図に示されているアセンブリは第11図乃至第14図に言及して上記に論じられた挿入物と類似の挿入物836'を有している。しかしながら、端子848'に関連している予め構成されたリード850'は挿入物のエッジ846'を越えて外方に突出している外側即ち接触部分854'を有している。予め構成されたリード850'が挿入物の上層838'の上に配置されているため、予め構成されたリードは挿入物の第1即ち底面842'の上のかなりの高さで挿入物のエッジ846'と公差する。この突出している外側部分854'は挿入物の第一面842'に向かって下方に湾曲している。この曲率は、挿入物がチップに組み立てられる前に挿入物及びリードの構成の間に配設されるのが望ましい。組立作業において、リード850'及び端子848'をその上に既に取り付けている挿入物836'は、外側部854'がチップの接点830'と整合するようにするためにチップ820'の上に置かれる。これらのリードの曲率により外側即ち接触部分854'はチップ接点830'と近接に置かれる。外側部分に力を加えて、リード854'をチップ接点830'と係合せしめて、

これによりリード850'の外側部分854'をチップ接点に直接結合せしめるためにツール855'が次に外側部分854'に適用される。通常、圧力が熱及び／又は超音波エネルギーと共にツール855'に適用される。このプロセスの段階は、内部リードをテープ自動化ボンディング即ち「TAB」作業で結合するのに通常用いられる従来の熱圧縮又は超音波ボンディング技術を用いることができる。このボンディングにより、如何なる中間のワイヤボンディング作業も必要とすることなく、各チップ接点850'と挿入物上の端子848'の1つとの間に接続体を確立することができる。一旦接点及び端子がこのように接続されると、その結果得られるサブアセンブリは封入され且つ上記に論じられたと実質的に同じ様式で基板に結合することができる。リード850'が柔軟性であるため、端子848'は熱膨張を補償するために接点830'に対して可動である。

この構造体において用いられている端子848'及びリード850'は写真平版技術によって構成することができる。例えば、挿入物は第二面844'を覆い且つエッジ846'を延設している銅又は他の金属の固体シートによって初期的に構成され得る。挿入物のエッジを超えて延設している金属シートのこれらの部分は下方の彎曲に衝撃を与えるために型押しされ得る。挿入物から離れるように上方に向いている（第15図では図面の上部に向かって対向している）金属層の表面は従来のフォトレジストパターンによって覆われ、これによりフォトレジストが端子848'及びリード850'に対応する領域を覆うようにすることができる。シートの反対の面には挿入物のエッジ846'を超えて延設している領域に更なるフォトレジストを覆うことができる。このシートは次にエッチング液にさらして、これにより表面上のフォトレジストによって覆われていない領域を除去、即ち端子848'及びリード850'以外の金属シートの全ての領域を除去することができる。フォトレジストが除去されると、その上に端子及びリードが載っている挿入物が残る。型押しによって金属シートに与えられた彎曲によってリードの外側部分854'における望ましい下方彎曲が与えられる。あるいは、これらのリードは成形ダイを用いてエッチングの後に曲げることができる。更に別のリード成形方法では、誘電体挿入物、あるいは挿入物を構成している全体的に平面の誘電体層の1つにはバンプ又は延伸うね等の層の平面から突出している特徴が配設され得る。これら

いて、これらの端子及びリードはしなやかな層自体の上に配設することができる。

第16図に示されているアセンブリは第15図のアセンブリと類似している。しかしながら、リード8350'の外側部分8354'はチップの周辺接点8330'を超えて外方に突出している外方延設部を有している。これらの外方延設部は固定素子8361'に固定されている。第16図には1つの固定素子8361'のみが見られるが、第17図に見られるように挿入物8336'の各エッジに同様の固定素子8361'が配設されていることが明白に理解されるべきである。各固定素子はリードの外側部分を強化し且つ支持する働きがあり、且つ組立の間挿入物とチップの表面に平行な方向のリードの好ましくない曲がりを防止する働きがある。挿入物8336'に関連している中心端8348'及び周辺接触リード8350'は挿入物の上層8338'の第一即ちチップに対向している表面8342'の上に配置される。第17図に最もよく示されているように、固定素子8361'はブリッジ素子8363'によって挿入物8336'に接続される。これらのブリッジ素子は挿入物の周辺の回りに離間された定位に配置される。挿入物、固定素子及びブリッジ素子は一体ユニットとして形成されるのが好ましい。これらの部品の全ては誘電体材料の一体シートの諸部分であり得る。斯くして、挿入物8336'、ブリッジ素子8363'及び固定素子8361'は各々がその関連の固定素子及びブリッジ素子を有する幾つかの挿入物8336'を含み得る延設されたテープ8381'の部分として全て形成し得る（第17図）。テープはまた、むだ即ちトリム領域8383'を含み得る。種々の組立及び取扱い作業の間、これらの挿入物及びチップはテープを進めることによりプロセスを通して進行し得る。

ブリッジ素子8363'は挿入物の隅に配置される。この組立に用いられるチップ8320'は周辺接点8330'の4つの列8332'を含み、これらの列は全体的に矩形のパターンを形成している。しかしながら、周辺接点のこれらの列はこの矩形パターンの隅の手前で停止しており、これによりこのパターンの隅領域が実質的に接点8330'がないようにしている。ブリッジ素子8363'はこれらの隅領域の上ののっており、従って接点8330'のどれにも覆っていない。

各固定素子8361'は上層8301'を含んでいる（第16図）。各固定素子は挿入物のエッジ8346'に全体的に平行に延設している内側エッジ8365'を有しており、これによりこれらの平行エッジが固定素子と挿入物との間の延長されたスロット8367'を西

のリードは、突出特徴にわたって延設しているリードを形成するように金属又は他の導電材料を沈着することにより、次に、例えば誘電層を選択的にエッチングして、平面から彎曲しているリードを残すことによりこの突出特徴を構成している誘電体層又は挿入物のこれらの部分を除去することにより形成することができる。リードを形成するために導電材料を沈着する段階は従来の技術を用いて導電材料を選択的に沈着することにより、あるいは誘電体層をエッチングする前に導電材料を沈着して、導電材料を選択的にエッチングするかあるいは他の方法で除去することにより実行することができる。

代替の全体的に類似の構成は、第11図乃至第14図に言及して上記に論じられた挿入物の上層838'に類似の柔軟上層を組み込んで挿入物を含んでいる。この層の第1即ち底面には端子及びリードが配置されており、これによりこの層がチップの所定位置にある時にこれらの端子がチップに向かって対向するようにしている。挿入物はまた、上層とチップの前面の間に、また端子の下に、即ち端子とチップとの間配置されている別のしなやかな下層を含み得る。このしなやかな層は、上層及び端子がしなやかな層に配置される前にチップ表面上に配置され得る。この場合、しなやかな層は上層をチップに結合するべくその上面及び底面に接着剤を組み込み得る。しなやかな層は柔らかいため、上層は、しなやかな層を通してチップに境を接しても柔軟性を保ち、端子はチップの面に対して平行な方向に接点に対して依然として可動である。あるいは、しなやかな層はいわゆる「B段階」シリコンエラストマ等の部分的に硬化したエラストマから形成され得る。上層の組立の後、この部分的に硬化した材料は、例えばそれを加熱することにより更に完全に硬化され、これによりエラストマは上層及びチップ表面と結合する。この構成において、端子は上層の下に配置される。挿入物の第二即ち上面から端子にアクセスを与えるために、挿入物の上層は、例えば端子と見当付けしてレーザ等の放射エネルギー源からの放射エネルギーを適用することにより、端子と見当する穴を形成することにより穴をあけられる。穴が一旦形成されると、その結果生じるサブアセンブリは上記に論じられたと同じ様式で基板に結合することができる。これらの穴は挿入物がチップに接続される前に形成することができる。更なる代替構成にお

成するようにしている。スロット8367'はチップの周辺接点8330'の列8332'と整合している。周辺の接触リード8350'はスロット8367'を横断して延設しており、これらのリードの外側延設部8354'は固定素子8361'に固定されており、これにより各周辺接触リード8350'が挿入物と固定素子の両方によって支持されるようにしている。

各固定素子8361'は隣接のスロット8367'に対して全体的に平行に延設している1つの列の外側端子8372'を有している。外側端子8372'は各固定素子8361'の上層8301'の第一即ちチップに対向している表面8369'に配置される。外側端子リード8374'（第16図）はスロット8367'を横断して外側端子8372'から内方に延設している。各々の斯かる外側端子リードは挿入物8336'に固定されている内側端子8376'を有している。斯くして、外側端子リード8372'及び周辺接触リード8350'は両方共スロット8367'を横断して延設している。これらのリードは各スロット8367'の長さ部分に沿って互いに散在している。

穴8360'が挿入物の中に且つ各固定素子の上層の中に中心端子8348'及び外側端子8372'と整合して配設されており、これにより中心端子及び外側端子が挿入物及び固定素子の第二面から、即ち、チップから離れるように向いている表面からアクセスできるようにしている。

挿入物8336'はしなやかな底層8340'を含んでおり、各固定素子8361'はしなやかな底層8303'を含み得る（第16図）。これらのしなやかな層の全ては上記に論じられたしなやかな層と同様であり、それらのコンプライアンスを増大するために穴（図示せず）を含み得る。挿入物及び固定素子のしなやかな層はこれらの部品から別々に形成し且つ組み立てることができ、あるいはテープ8381'の中に組み込みすることができる。

これらのリード及び端子は、上記に論じられたのと類似のエッチングプロセスによって挿入物の上に且つ固定素子の上に所定位置に形成することができる。究極的に挿入物の上層8338'及び固定素子の上層8301'を形成するであろう銅又は他の金属のシートを誘電体シートに積層し、フォトレジストパターンをカバーして、エッチングにより種々の端子及びリードを形成することができる。レーザ放射線等の放射エネルギーをシートに選択的に適用することによりシートの諸部分を除去して穴8360'及びスロット8367'を端子及びリードの後に形成することができる。あ

るいは、これらのスロット及び穴は、例えば、誘電シートをエッチングするかあるいは機械的に穴開けすることによりリード及び端子の前に形成することができる。これらのリード及び端子は次に金属層を適用して選択的にエッチングすることにより形成され得る。この場合、誘電体シートは穴及びスロットは穴及びスロットの中に入ってくるエッチング液によるリード及び端子の好ましくないエッチングを防ぐためにレジストで一時的に充填すべきである。周辺接触リード8350及び外側端子リード8374はスロット8367内で挿入物の底に向かって下方に曲げられる。これらのリードの下方彎曲はこれらのリードを形成するのに用いられるシートを型押しすることにより形成され得る。斯くして、各リード8350及び8374が固定素子及び挿入物の底層8303及び8340の上からスロット8367に延設しているが、各々の斯かるリードは挿入物の底に延設している。挿入物がチップに組み立てられる前に、1組の支持素子8307がチップ8320に並置され、これにより1つの斯かる支持素子がチップの各エッジ8309に沿って置かれるようにしている。第19図において最もよく判るように、支持素子8307はチップのエッジを容接に包囲し得る一体的な矩形リング又は箱8311として配設され得る。各支持素子はチップの前面即ち上面8322と実質的に共面に置かれるように構成されている上面8313 (第16図)を有している。斯くして、チップ8320及び支持素子8307は平面キャリア8315の上に配置され、支持素子の厚さはチップの厚さと実質的に等しくなり得る。

挿入物をチップに組み立てる際、その上に種々の端子及びリードが載っている挿入物はスロット、従ってリードがチップ上の周辺接点と整合するようにチップ上に配置される。各固定素子8361は1つの支持素子8307の上に載っており、少なくともも斯かる素子によって部分的に支持される。ボンディングツールは次に各スロット8367の中に進められ、周辺接触リード8350と且つ外側端子リード8372と係合し、各斯かるリードをチップ上の周辺接点8330の1つと係合するようにしている。ボンディングを促進するために熱、圧力及び超音波エネルギーをツールに適用することができる。スロット内のリードの構成によってボンディングの作業が非常に容易になる。ボンディングツール8355はスロット8367の1つの中に進められ、スロットの長さ部分に沿って移動し、これによりリードの全てをこのスロットに整合している周辺接点8330の全てに結合する。このプロセスは各スロット8367に

る。各スロット8467の両側にはボンディング端子8452及び8477の列が存在する。これらのボンディング端子は第13図に言及して上記に論じられたのと類似のワイヤボンディング作業によってチップ8420上の周辺接点8430に接続されている。ここで再び、列状のボンディング端子の配置によってワイヤボンディング作業が容易になる。

チップ8420はまた、チップの前面の中心領域に配置されている中心接点8431を有している。挿入物8436はこれらの中心接点を包囲している穴8480を有している。特定の中心端子8448に関連するボンディング端子8452の幾つかは穴8480のエッジに隣接して配置されている。これらのボンディング端子はワイヤボンディングによってチップの中心接点8431に接続されており、これにより中心接点だけでなく周辺接点8430も挿入物の中心端子8448を通して基板に接続されるようにしている。

本発明に係るアセンブリは機械的且つ電氣的保護のために付加的な素子を含み得る。斯くして、金属層等の薄い導電接地層を挿入物の中に組み込み、これにより端子をチップから電氣的に絶縁し、且つ挿入物に沿って延設しているリードのインピーダンスのより良好な制御を行うことができる。斯かる導電層は誘電体層によって端子から分離されなければならない。挿入物自体は、中間誘電体層によって互いに分離された端子及びリードの多重層を含み得る。斯かる構成によって、挿入物上のリードは互いに接触することなく互いにその上を交差することができ、また与えられた領域により多くのリード及び/又はより広いリードを許容することができる。斯かる多重層の挿入物の最上層は下層の端子と整合している穴を有することができ、これによりこれらの下層の端子に対するアクセスを行い且つ基板に対する接続を行うことができる。

第20図に示されている部品は第16図及び17図に示されている部品と類似である。斯くして、この構造は、その間にスロット8767を画成している挿入物8736及び固定素子8761を含んでおり、斯かる固定素子及びスロットの1つのみが第20図に見える。これらの外側端子リード及び周辺リードはスロットを横断して延設している諸部分8754を含んでいる。各々の斯かるリード部分は関連の固定素子のしなやかな層8703の上及び挿入物のしなやかな層8740の上からスロットの中に延設している。第16図に示されている状態において、リード部分8754のチップの端子8730

に対して反復され得る。このツールは多くのリードと同様に係合し且つ結合せしめることができる。

これらのリードが接点に結合された後、低弾性率誘電体封入剤 (図示せず) が適用される。代替組立プロセスにおいて、しなやかな層8340及び8303が封入剤によって形成され得る。斯くして、封入剤は挿入物 (図示せず) とチップの間に侵入して挿入物とチップの間にしなやかな層8340を形成するべく適用され得る。挿入物はまた、固定素子8361と支持素子8307の間に侵入してしなやかな層8303を形成し且つスロット8367の中に侵入してリード8374及び8350を覆う。封入剤は圧力下で液体又は流下可能な状態で導入し、次に硬化され得る。封入剤、チップ及び関連の素子はこのプロセスの期間中型の中に配置され、この型は封入剤の流れを制限するべくシート又はテープのむだ領域8383 (第17図) を締めつける。封入剤は標準的な注入成形技術を用いて圧力下で注入される。封入の後、第16図及び17図に示されているアセンブリはテープから離れて、上記に論じられたアセンブリとはほぼ同じ方法で基板に取り付けられる。斯くして、外側端子8372と中心端8348は両方共基板上の接触パッドに結合される。

第16図及び17図に示されているアセンブリは製造の間リードの良好な補強を与える。また、外側端子は接続の容量を増大する。固定素子及び外側端子はチップ上の周辺接点を越えて外方に延設しているが、この外方の延長即ち「扇形」は最小である。これらの固定素子及び外側端子を有するアセンブリはチップ表面に対して平行な平面の面積を約1.5 倍を超えて占有することがないことが好ましく、望ましくは約1.2 倍を超えないことが望ましく、この倍率はチップ自体によって占有される面積である。

第18図に示されているように、本発明の更なる実施例に係る挿入物8436は、第16図及び17図に言及して上記に論じられた対応の部品に類似の固定素子8461、スロット8467及び外側端子8472が配設されている。外側端子8472は各固定素子の第二面、即ち、半導体チップ8420から離れて向いている表面に配置されている。挿入物8436はまた、挿入物の第二面に中心端子8448を有している。各中心端子8448は部分リード8450及びボンディング端子8452に接続されている。同様にして、各外側端子8472は類似の部分リード8475且つボンディング端子8477に接続されてい

に対するボンディングの前に、これらのリード部分は実質的に平面である。即ち、これらは挿入物8736の平面に対して平行な、従って挿入物がチップの上に載っている時にチップの前面8722の平面に対して平行な平面に実質的に延設している。各々の斯かるリードはこの水平平面に、即ちスロットの延長の方向に彎曲している。斯くして、各々の斯かるリードはそれぞれ隣接の固定素子8761と挿入物8736に隣接しているスロットのエッジに端部8780及び8782を含んでいる。各リード部分8754は更に、スロットの中心に隣接しており且つチップ8720上の周辺接点8730の1つの上に載っている中間部8784を含んでいる。各々の斯かる中間部分8784は端部8780及び8782を接続している仮想軸からずれている。第20図に示されているように、このずれはスロット8767の延長の方向にある。組立のプロセスの間、ツール8786はスロット8767に進み、リード部分8754をチップの周辺接点8730に結合する。ツールは各リード部分の中間部8784に係合し、中間部分を下方に押し下げてチップ接点8730と係合せしめる。中間部が端部8780と8782を結合している軸からずれているため、中間部のこの下方運動はこれらの端部の制御されたねじれ運動によって許容され得る。中間部8784はまた、ある程度下方に曲がり得る。この構造によって中間部8784の制御された下方運動が行われる。各リード部分8754がこの作業の間端部8780と8782に保持されるため、これらの部分は所望位置に留まり、従ってチップの接点8730と適切に整合される。中間部8784の全てが同一の方向にずれているため、これらリード部分におけるずれはスロット8767の長さ部分に沿ったリード部分8754の間の所要スペースを認められる程度増大しない。更に、挿入物の平面に存在するこれらのずれは、リードを形成するのに用いられている同じエッチング作業において、如何なる別の型押し又は彎曲作業をすることなく形成することができる。ボンディングツールの幾つかのリードの中間部分に同時に係合し且つ結合せしめることができる。

第21図及び22図に示されているように、チップの背面即ち底面に端子を配設するのに用いられる接続部品930 は、裏打ち素子のエッジから突出している全体的に矩形的裏打ち素子932 及びフラップ934 を含んでいる全体的に十字架状の一体シートを含んでいる。このシートは導電層936、絶縁層938 及び更に導電層936の反対側に絶縁層940 を含んでいる層構造を有している。層938 は接続部品の第

一面942を画成しており、一方層940は第二面944を画成している。接続部品の第一面942の裏打ち素子932の中心領域には一組の端子946が配置されている。これらの端子は直線上の格子状のレイに配置され得る。説明を簡潔にするために第21図には少しの端子しか示されていないが、典型的な部品には数百個の端子を配設し得る。

接続部品930の第一面942の上にはリード948もまた形成されており、各々の斯かるリードは1つの端子946と一体的に且つこれと電気的に接続した状態で形成されている。リード948はフラップ934上の裏打ち素子932から離れるように外方に延設しており、且つフラップの端部に突出している。斯くして、各々の斯かるリード948は関連のフラップに沿って延設しているフラップ部分及びフラップの内縁から関連の端子946に延設している中心部分を含んでいる。接続部品930を構成している種々の層の厚みは説明の簡潔のために第22図には大きく誇張されている。実際は、これらの層の各々は電気的要求条件を満たすために必要な最少厚さを有している。絶縁層938及び940は絶縁のピンホール及び破壊から自由を得るのに必要な最少厚さを有しており、一方導電層936及びリード948は電気的な連続性に必要な且つ比較的低抵抗の電流経路を提供するのに必要な最少厚さを有しているのが望ましい。これらの絶縁層の各々は約0.5 μ m未満の厚さで、そしてより好ましくは約0.25 μ m未満の厚さであり、一方導電層936は約0.1 μ m未満の厚さで、そしてリード948の各々は約0.1 μ m未満の厚さであることが好ましい。接続部品930は、テープ自動化ボンディングプロセスに用いられたテープとほぼ同じ材質から且つほぼ同じ方法で形成され得る。斯くして、絶縁層938及び940はポリイミド等の従来の重合体誘電材料を組み込むことができ、一方層936、導線948及び端子946は銅又は他の金属から形成され得る。これらの端子及び導線のパターンはテープ自動化ボンディングテープ及びフレキシブル印刷回路の製造に用いられるのと類似の写真化学エッチング又は沈着技術を用いて形成され得る。

部品930は第23図及び24図に示されている箱状の素子950に用いられ得る。箱素子950は全体的に矩形のリング及びこのリング内部を横断して延設している床素子954を形成するべく構成されている4つの支持素子又は壁952を含んでおり、これにより壁952及び床素子954が上部に開いている内部スペース956を有する

な層は箱素子に固定することなく箱素子の下部スペース内に簡易的に置くことができる。

組立プロセスの次の段階では、接続部品930は箱素子950に並置され、これにより接続部品の第二面44はしなやかな層964の露出された即ち底面と対向し、且つ裏打ち素子932が床素子954としなやかな層964と整合するようにしている。プロセスのこの段階において、接続部品930の各フラップ934は壁952を越えて外方に突出し且つ1つの突出部958の下の端部を横切って延設している。斯くして、端子946を支持している裏打ち素子の中心領域はしなやかな層964と整合しており、これらの端子はしなやかな層及び床素子954から離れるように下方に向いている。しなやかな層964におけるかたまり968の配列は、端子946の配列に一致するように選択される。第26図に最もよく示されているように（プロセスの後の段階を示す）、各端子946は低弾性率の材料のかたまり968と整合されており、一方層964における穴966は端子946間のスペースと整合されている。

製造プロセスの次の段階では、フラップ934が箱素子950の壁又は支持素子952に沿って上方に曲げられている。斯くして、各フラップ934及び斯かるフラップ上の導線のフラップ部分48は関連の壁952に沿って上方に延設している。各フラップの端部は関連の壁952の最上縁にわたり内方に曲げられている。斯くして、第25図に示されているように、フラップ934aの端部は壁952aの上側端部において内方に曲げられている。同様にして、フラップ934bは第26図に示されているように側壁952bに沿って上方に延設しており、且つ壁952bの最上端にわたり内方に曲げられている。斯くして、フラップのエッジに隣接している導線948の端部は、スペース956の上部の開口部の回りの床素子954から離れて壁952の上エッジに沿って配置されている。導線948は、箱素子の下に配置されている端子946に向かって箱素子の壁に沿って下方に延設している。接続素子930及び従ってフラップ934が柔軟性であるため、この彎曲作業はたやすく実行され得る。壁950の上エッジの上ののっているフラップの端部は壁の上部に結合されている。

柔軟性であることが好ましい誘電体材料の層が裏打ち素子932の下方に向いている第一面を覆っているはんだマスク層972として適用される。はんだマスク層972には、裏打ち素子946と整合しているアパーチャ974が配設されている。

直線閉底箱を共同して画成するようにしている（第23図に見える側面）。この箱はチップ920の対応の寸法よりも僅かに大きな長さl及び幅wを有しており、一方箱の深さdはチップ920の厚さよりも僅かに大きく、即ちチップの表面922と924の間の距離よりも僅かに大きいことが望ましい。各支持部材又は壁952は床素子954の下を下方に延設している突出部958を有しており、これにより突出部958及び床素子954が床素子954の床側に更なる開いた内部スペース960を共同して画成するようにしている。床素子はスペース956と960の間を延設している幾つかの穴即ちアパーチャ962を有している。スペース960はスペース956よりも浅い。箱素子950はサーモプラスチック又は熱硬化ポリマ、ガラス、セラミック、ガラスセラミック材、ポリママトリクス複合材料及び金属マトリクス複合材料、及び金属等の実質的に硬質な材料から形成され、金属及びポリマが好ましい。

本発明の1つの特徴に係る形成プロセスにおいて、比較的低弾性率の材料から形成されている弾性的なしなやかな層964（第25図）が箱素子950の下の即ち下方に向いたスペース960の中に配設されている。この低弾性率材料は、ショアA押込硬度が約20乃至約70の柔らかいゴムと匹敵する弾性（弾性率を含む）を有している。しなやかな層964は低弾性率の材料のかたまり968が散在している穴966を有している。層964は穴開け又はパーフェクションを行うことにより穴966を形成して固体エラストマのシートから形成され、次に箱素子950の下部スペース960に挿入され、箱素子950の床素子954の穴962を通して延設している接着剤970によって所定位置に固定される。この接着剤の一部分は床素子954の上面を部分的に且つ全体的に塗布し、これにより床素子の上面にある程度の表面接着又は粘着力を与えることができる。あるいは、しなやかな層964は箱素子の下部スペース内の所定位置に成形することにより形成することができる。斯くして、弾性材料は流体の状態で導入され、化学的にあるいは熱によって硬化して弾性状態になる。しなやかな層964がこのようにして形成された場合、この弾性材料の特定の部分は接着剤970とかなり同じように穴962を通して突出し得る。これはしなやかな層を床素子の下面に固定する働きがある。しなやかな層はまたスクリーン印刷によっても適用され得る。更に別の代替の手順において、しなやか

このはんだマスク層は成形又はエラストマ材料の選択的硬化によって形成され得る。例えば、この材料を流動可能な未硬化の状態で適用し、次に放射エネルギーによって硬化することができる。この放射エネルギーは端子946の上にある部分を除く層の全ての部分を硬化するべく選択的に適用し得る。この選択的硬化に引き続き、未硬化部分を除去する。あるいは、はんだマスクは固体層として適用され、端子946を露出するように穴を開けることができる。以下に更に論じるように、はんだマスク層972は特定の場合省略することもできる。

この段階におけるアセンブリは半導体チップを受け取るように構成された受け器を構成する。これらの受け器は大量生産において予め構成され半導体チップの製造者及び使用者に供給することができる。あるいは、受け器は半導体チップに一体化される直前に構成することもできる。

受け器は先ずチップ920（第26図）を箱素子950の上即ち上部スペース956に置き、これによりチップの前面922が床素子954及び裏打ち素子932から離れるように上方に向くように処理することにより半導体チップ920に一体化される。チップ920は床素子954の上面における接着剤970によって受け器内の所定位置に一時的に保持され得る。この位置において、チップのエッジ926は箱素子の支持素子又は壁952に対向する。チップ920は第11図に示されているようなほぼ同一の種類である。斯くして、チップ920はその前面922に配置されている接点928を有しており、これらの接点はチップのエッジ926に隣接した列に配列されている。フラップ934、従ってこれらのフラップ上のリード部分948は、チップのエッジ926に沿って上方に延設しており、これにより各々の斯かるフラップ上のリードがチップ上の接点928の1つの列の近辺に延設するようにしている。接点928の各々の列はフラップ934の1つにおけるリード948の端部に直接隣接して配置されている。チップの前面922、従って接点928はリード948の端部とほぼ同じ高さで床素子954の上に置かれているが、これらのリードの端部は表面922の僅か上に上昇し得る。

チップがこの位置にある間、接点928はこれらの接点をリードの隣接した端部にワイヤボンディングすることによりリード948に電気的に接続される。ワイヤボンディング作業において、細いワイヤ974が接点928とリード部分948の間に

接続され、これにより各リード部分948を接点の隣接した列における1つの接点928に電気的に接続する。実際、ワイヤ974はリード部分948と融合し、端子928から1つの壁素子952を回って、チップのエッジ926に沿って下方に裏打ち素子934上の1つの端子946に向かって延設している複合リードを形成する。ワイヤボンディングのプロセスはそれ自体電子工業においてはよく知られており、ここでは詳細には述べる必要がない。簡単に言うと、このプロセスは可動のワイヤ供給ボンディングヘッドを利用する。このヘッドは接続されようとしている素子の1つに供給され、細いワイヤの一端が斯かる素子に結合される。次にヘッドは接続されるべき他方の素子に到達するまでワイヤを消費しながら移動し、この時点になるとワイヤは斯かる他方の素子に結合されて切断され、このワイヤを所定位置に残す。ワイヤボンディングプロセスは通常、接続されるべき部品の相対的位置及び配向を検出し、次にこれに従ってワイヤボンディングヘッドを制御しワイヤを所望の素子に接触せしめることにより制御される。これにより、たとえ接続されるべき部品の相対的位置が公称位置と異なる場合でも所望相互接続がなされる。通常、部品の相対的位置及び配向はテレビジョン式パターン認識システム等のロボット視覚システムによって検出される。これらの技術は本発明の方法のワイヤボンディング工程において用いられるのが望ましい。斯かる技術が用いられる場合、チップ920の位置決めのあるいはリード部分948の位置決めの高い精度を与えることは必須でない。これにより上記に論じられた弯曲作業の厳密な制御の必要性が最少限になる。

ボンディングワイヤ974が取り付けられた後、熱伝導充填材を有するシリコン等の柔らかい熱伝導材料のパッド975がチップの前面922の上部に置かれる。このパッドは接点918及びワイヤ974から離れて、チップの前面の中心部を覆っている。封入剤976の層がチップの前面922の上に適用される。柔らかい誘電体材料であることが望ましいこの封入剤は壁952の上部に配置されているボンディングワイヤ974、接点928及びリード部分948の端部を覆う。封入剤はまた、チップのエッジ926と箱素子の対向している壁952の間のスペースに侵入し、少なくとも部分的に充填することが望ましい。次にアセンブリの頂部の上にカバー978が置かれる。カバー978は通常「チップカン」と呼ばれる箱状の金属素子である

はんだ又は導電接着剤等の導電ボンディング材料991のかたまりを端子946と基板の接触パッド990の間に置くことができる。これらのかたまりは、上記に論じられたと同じ方法で流下され、端子及び接触パッドに結合され得る。

端子946はかなりの中心から中心の距離に配置されるため、標準的な表面取付技術を用いることができる。この点に関して、端子946はチップの底面924の全面積に略等しい領域に分配されることを了解すべきである。これと対照的に、チップ自体の接点928は周辺の回りの列に集中している。斯くして、端子946の間の中心からの中心の距離は接点928の間の中心から中心の距離よりもかなり大きくすることができる。典型的な応用において、通常「1/0計数」と呼ばれるかなりの数の入力及び出力端子を有するチップのための電気接続を10-25ミル(250-625マイクロメートル)の中心から中心の距離で達成することができる。

リード部分948及びボンドワイヤ974を含むこの複合リードによって接点928と端子946の間に信頼性のある相互接続が提供される。接続素子930の導電層936がリード部分948と共にチップに沿って上方に延設しているため、リード部分948は予想可能な制御されるインピーダンスを有している。この信頼性のある電気的特徴は、リード部分948の予想可能な幾何学的構成によって向上する。各リード部分948は所定の幅を有しており且つ隣接のリード部分に対して相対的な所定位置に定位されている。これらの相対的位置及び幅は接続素子930が作られると固定される。複合リードはボンディングワイヤ974を含んではいないが、これらのボンディングワイヤは認められる予期できないキャパシタンスをもたらすことがない程短くなっている。

斯くしてアセンブリはコンパクトで頑丈で且つ経済的なチップの取付けを行う。アセンブリの全体はチップ自体よりも少し大きな面積(チップの平面における)を占有する。リード及びフラップがチップに沿ってチップのエッジに近接して延設しているため、アセンブリによって占有される面積を実質的に増大せしめない。また、アセンブリは基板に取り付ける前に予め試験できるため、高品質を保證できる。上記に論じられた方法及び構造は多数の様式で変化し得る。また、はんだマスク層972はプロセスの任意の段階で適用し得る。所望に応じて、この層は、例えばはんだ材料層932がカバー978と接触するように所定位置に成形すること

か、あるいはエポキシ等のポリマ材料からアセンブリ上のある位置に成形され得る。カバー978はアセンブリをこの後の汚染から封入するべくはんだ材料層972の周辺と一体化され得る。封入剤976はチップの前面922と接触したカバー978と接触し、これによりチップからカバーへの熱伝達のための経路を提供する。これにより、チップの作業中のチップからアセンブリの外側の周囲への熱伝達が容易になる。カバー978はまた、層975と接触して、更に熱伝達を容易にする。

アセンブリはより大きなアセンブリの部分として用いられる前に試験されることが望ましい。アセンブリは適切な試験回路に接続されており且つ共通の把持具即ち支持体に固定的に取り付けられている多数のピンブローブを有する電気的試験把持具を用いて上記に論じられたとほぼ同じ方法で試験するのが望ましい。信頼性のある試験を行うために、試験把持具の多数のピン又はブローブは同時にそれぞれの端子946と接触を保持しなければならない。この構成においても端子946は独立的にチップ922に向かって変位し得る。斯かる変位によって、試験把持具及びアセンブリは、ピンの全てがそれぞれの端子946に係合するまで互いに向かって連続して移動することができる。各端子946はしなやかな層の弾性によって試験把持具の関連のピンに対して偏倚される。これにより、信頼性のある接触及び信頼性のある試験が保証される。上記に論じられたように、しなやかな層964の構成はこの作業に寄与する。低弾性率材料の各々のかたまり968はそれと整合している端子946に裏打ち及び支持を与える。試験把持具のピンが端子と係合すると、各かたまり968は垂直方向に圧縮され、従って水平方向に、即ちチップの平面に対して平行に膨張する傾向を示す。穴966は斯かる膨張のためのスペースを提供する。しなやかな層964は端子946の十分な移動を許容して試験装置における且つアセンブリ自体における公差を許容するだけでよい。通常、約0.0005インチ(0.125mm)以下のコンプライアンスで十分である。例えば、しなやかな層964は約0.008インチ(0.2mm)の厚さとなり得る。

試験の後、アセンブリは、上記に論じられたアセンブリを取り付けるのに用いられたのと類似の技術を用いて電気接触パッド990を有する基板988に取り付けられる(第26図)。例えば、アセンブリは、はんだ材料層972におけるアパーチャ974及び端子946が基板の接触パッド990と整合するように基板に置かれる。

により、接続素子930の一部として形成されるかあるいはアセンブリの残りの部品の後に適用される。

箱素子950の構成は説明した構成から変化し得る。床素子954は全部省略することができ、あるいは床素子はチップをそのエッジ又は隅だけにおいて支持するべく壁952から内方に突出している小さなタブのみを含み得る。どの場合でも、しなやかな層964はチップの底面と且つ裏打ち素子と直接係合される。あるいは、床素子954の穴962は省略し得る。壁952の下方突出部958は省略することができ、これにより壁が床素子と面一にあるいは床素子が省略された場合はチップの底面と面一になるように終端する。壁の底エッジにはフラップが上方に弯曲した時に接続部品930への破壊を防止するべく面又は半径を配設し得る。箱素子には、基本と係合するために、下方に突出している箱素子の隅における側部等の支持体を配設し得る。この場合、箱素子はチップを基板上で支持するように働き、これにより製造手順あるいは使用中のはんだ接合部の破壊を防止する。この構成は、熱シンクがチップの前面と係合状態に強制的に保持される場所には特に有用である。また、この箱素子はチップの回りの気密シール構成の一部として用いられ得る。

裏打ち素子に隣接して配置されているしなやかな層964は壁又は支持素子952の外側表面に向かって外方に延設できるため、これによりしなやかな層の一部分は各々の斯かる壁又は支持素子のF部エッジと裏打ち素子の間に挿入される。この構成は、端子946の幾つかが裏打ち素子の壁の床エッジに整合した部分の上に配置される時に特に有用である。

箱素子の熱膨張計数がチップの熱膨張計数とかなり異なる場合、ボンディングワイヤ974は弯曲してチップと、壁の上部エッジの上に載っているフラップの端部におけるリード部分との相対的運動を補償することができる。リード948のフラップ部分が以下に論じられるようにチップ上の接点に直接結合される場合、リードのこれらのフラップ部分は類似の補償を与えるように柔軟性となり得る。箱素子の熱膨張計数が基板の熱膨張計数とかなり異なる場合、裏打ち素子はしなやかな層を除いて箱素子の底に結合されないのが好ましい。これにより、フラップは曲がることができ且つ裏打ち素子は箱素子に対して相対的に移動し且つ差異的

な熱膨張を吸収することができる。

熱伝達素子の構成はかなり変化することができる。斯くして、熱電導パッド又は層975はチップの前面即ち上面に結合されている金属スラブを含み得る。斯かる金属熱シンクは熱伝達を更に容易にするためにピン、プレート又は突出部を含み得る。複数のチップは同一の熱シンクに係合することができる。従来の上向きチップアセンブリに用いることのできる熱シンクの実質的にどれも用いることができる。

これらの裏打ち素子及びフラップは、特に複雑な相互接続の要求条件を許容するべく2つ以上のリードの層を含み得る。また、裏打ち素子の各エッジには2つ以上のフラップを配設することができ、これらの多重フラップはチップのエッジに沿ってあるいは箱素子の壁に沿って重なった関係で延設し得る。

第27図に示されているように、箱素子は省略できる。斯くして、接続素子9130のフラップ9134は、壁部材に干渉することなく、チップ9120のエッジ9126に沿って上方に折り曲げることができる。また、しなやかな層9164は、床素子に何ら干渉することなく、裏打ち素子9132とチップ9120の底面即ち背面9124の間に直接配置され得る。第27図に示されている構成において、各フラップ9134はチップのエッジ9126に沿って上方に延設しているだけでなく、エッジ9126に隣接したチップの前面9122のヘリの部分にわたって内方に延設している。各フラップはチップ上の接点9128の列の上に載っているスロット9137を有している。リード部分9148の端部9149はこのスロットを横切って延設しており、従ってチップ接点9128の上に載っている。組立プロセスにおいて、端部9149は第16図及び20図に言及して上記に論じられたと類似の技術によって端子9128に直接結合され得る。ボンディング作業を容易にするために、端部9149はそれらがボンディングツール9151の影響の下でよりたやすく下方に挽き且つ接点9128に係合するべく、スロット9137の長さ部分に平行な方向に弯曲し得る。製造工程において、接続素子9130及びしなやかな層9164はチップ9120に組み立てられ、接続素子のフラップ9134はチップのエッジ9126に沿って上方に直接折り曲げられる。次にフラップの端部はチップの前面にわたって内方に折り曲げられる。第27図に示されているアセンブリにはまた、上記に論じられたようなはんだマスク層、ハウジング及び封入剤が配設され得る。

柔軟性があり、端子9381の間に配置されているしなやかな層9383を含んでいる。これらの端子は別のサブアセンブリの端子9356に接続されており、このサブアセンブリはチップ9377の接点9338に接続されている。斯くして、チップ9320及び9377はチップ9393の上に取り付けられている重なり回路アセンブリの状態で相互接続されている。任意の数のチップを斯かる積み重ねられたアセンブリにおいて相互接続することができる。

第30図に示されている、本発明の更なる実施例に係るアセンブリにおいて、シート状接続部品の配向は逆になっている。即ち、リード支持即ち第一面9442はチップ9420の方を向いている。端子9446が絶縁層9440及び9438を通して延設している穴9473を通して露出されている。これらの絶縁層の間に配置されている導電層9436は穴9473から離れて延端しており、これによりこれら2つの絶縁層は穴の境界において互いに融合しており、穴を層9436から絶縁している。斯くして、端子9446を基板に接続するべくボンディング材料を穴9437に導入することができる。またこの構成において、フラップ9434の端部9435はチップから離れるように外方に曲げられており、支持素子9452の壁はフラップの外側に配置されている。即ち、フラップは支持素子9452とチップとの間に置かれている。しなやかな層9464は端子9446のすぐ下に置かれている。

更なる異形（図示せず）において、この支持素子又は壁は接続素子と一体とすることができ、特にフラップと一体とすることができる。斯くして、接続素子はこれらフラップを構成する比較的硬い領域及び中心又は裏打ち素子を構成する柔軟な領域を有し得る。これらフラップを構成する硬い領域は自立構造体を形成するべく上方に弯曲し得る。上記に論じられた構成と同じように、この構成により、リード部分がチップを受けそれに接続するための開口部の周辺部の回りに配置されている開口上部を有する全体的に箱状又はコップ状の構造体が提供される。

容易に了解されるように、請求の範囲によって規定されるように本発明から逸脱することなく上記に論じられた特徴の多数の更なる変化及び組合せを利用することができる。1つの斯かる異形（図示せず）において、裏打ち素子は実質的に上記に論じられたように配設されるが、フラップ及びフラップ上のリード部分は省略される。この構成によると、ボンディングワイヤは各リードの主要部分を構

成している。第28図の構成は、フラップ9234の端部がチップの前面9222にわたって折り曲げられ、これによりリード部分9248の端部9249をチップ上の接点9228に位置決めするという点で、第27図に言及して上記に論じられたのと同様である。しかしながらここで、接続素子は各リード端部9249の下からフラップの第二面9244、即ち第一即ちリード支持面9242から反対の表面に延設している径路9251を含んでいる。各々の斯かる径路には熱圧縮ボンディング合金9253等の導電ボンディング材料が充填されている。ボンディング材料9253は、従来のボンディング技術を用いて熱又は圧力により活性化して、各リード端部9249をチップ上の1つの接点9228に結合せしめる。接続素子の導電層9236は径路9251から離れて延端しており、これによりこの導電層は導電材料9253と電気接続を行うことがない。所望に応じて、導電層9236は、層9236に接地を与えるべく径路9251の1つ又は少しに対して延設し得る。即ち、リード9248の1つは、基板のアースに接続されている1つの端子（図示せず）に接続され層9236はこのリードを通して接地され得る。

熱圧縮又は他の従来のボンディング技術に対する代替として、これらのリードは、いわゆる「Z導通」接着剤を用いることによりチップ上の接点に接続することができる。斯かる材料は一般的に、この材料が導層に適用された時に、この層を通る方向にはかなりの電氣的導通を有するが層に対して平行な方向にはほんの微々たる導通しか有しないように選択された導電粒子を含んでいる。Z導通接着剤はまた、上記に論じられた挿入物のリードをチップの接点に接続するのに用いられ得る。

第29図に示されているように、本発明に係るサブアセンブリは別のチップの上に取り付けられ得る。例えば、第29図に示されているように、チップ9320の前面9322上の接点9328は端子9346を通して半導体チップ9393の接点9391に接続される。斯くして、チップ9393自体はチップ9320を組み込んでいるアセンブリを取り付けるための基板として作用する。チップ9393は従来のワイヤボンドリッド9395を経由して更なる基板に、従って他の電子素子に接続される。逆に、チップ9377が更にチップ9320の前面に載るように取り付けられている。挿入物9379がチップの前面9322の上に配置されている。この挿入物は柔軟なリードを経由してチップの面上の接点9328の幾つかに接続されている端子9381を有している。挿入物自体は

成している。ボンディングワイヤはチップのエッジに沿って下方に裏打ち素子に向かって延設しており、チップの背面即ち底面に隣接した裏打ち素子に接合する。この構成において、ボンディングワイヤはチップのエッジに沿って延設しているリードを構成している。この構成は、上記に論じられた他の構成と同じ程度の制御をリードインピーダンスに提供しないため、明らかに好適性が少ない。斯くして、好ましい実施例の前記の説明は請求の範囲によって規定された本発明の限定ではなく説明のために取られるべきである。

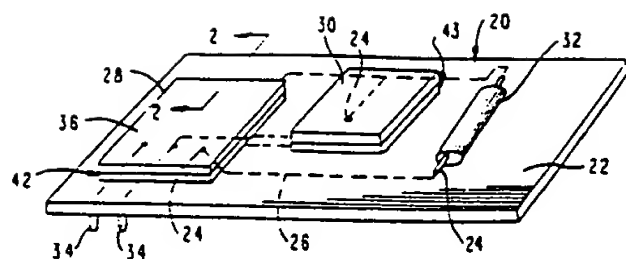


FIG. 1

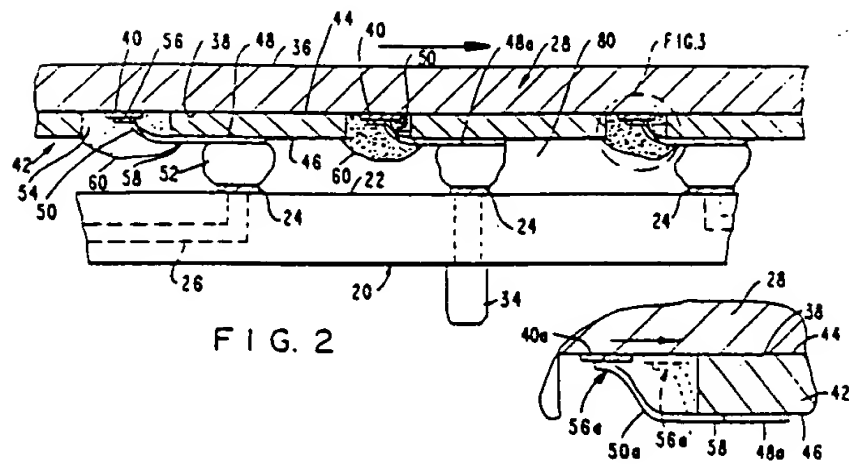


FIG. 2

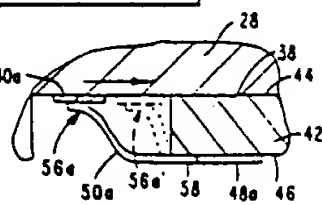


FIG. 3

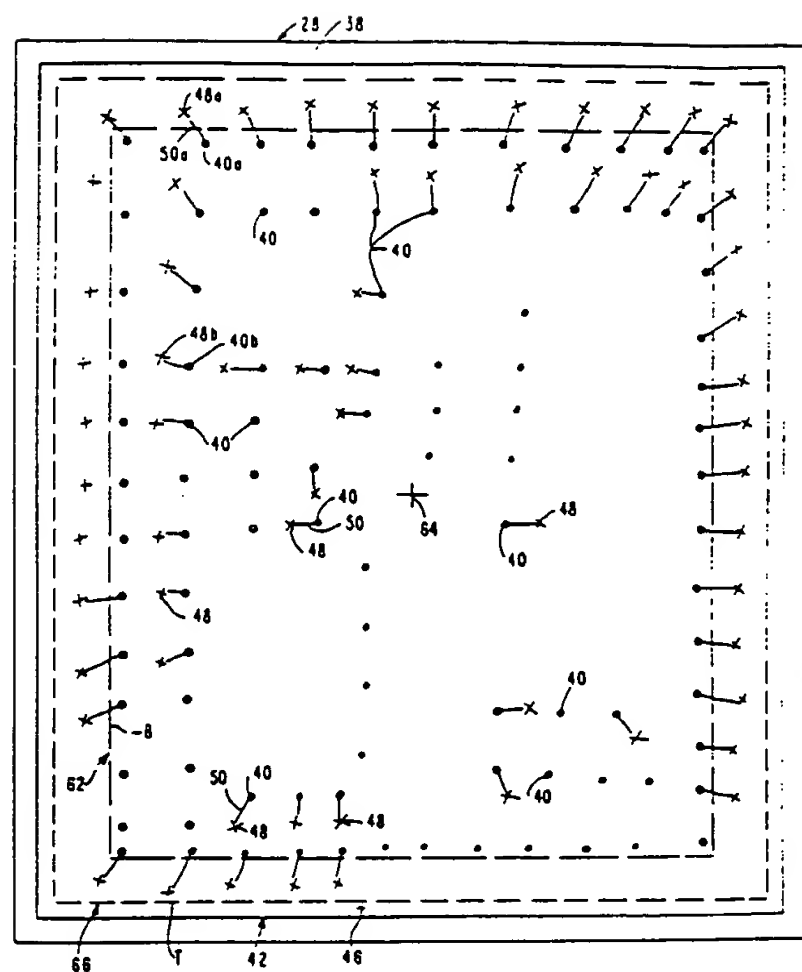


FIG. 4

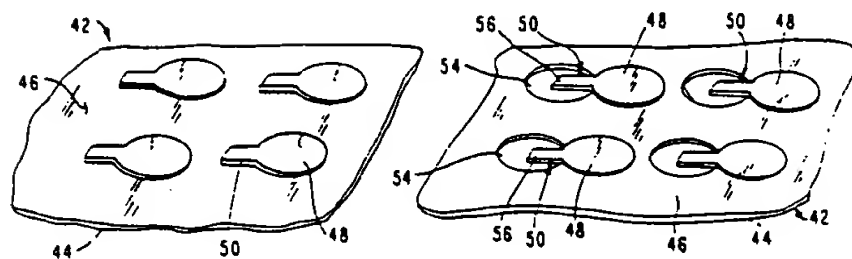
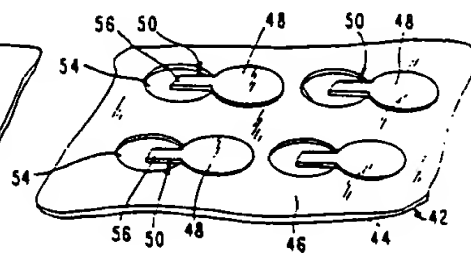


FIG. 5A



F I G. 5B

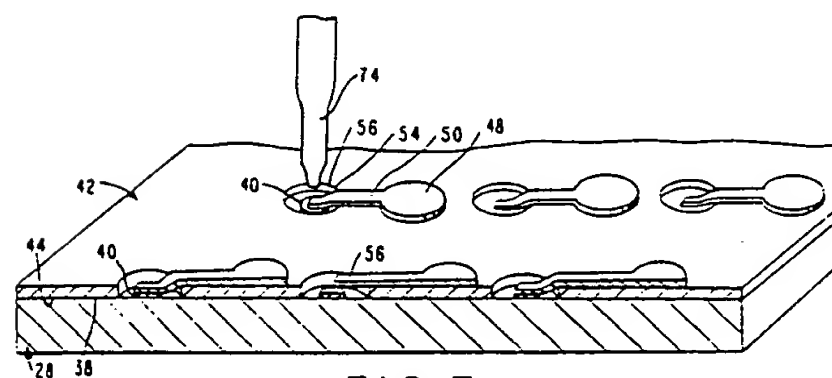


FIG. 7

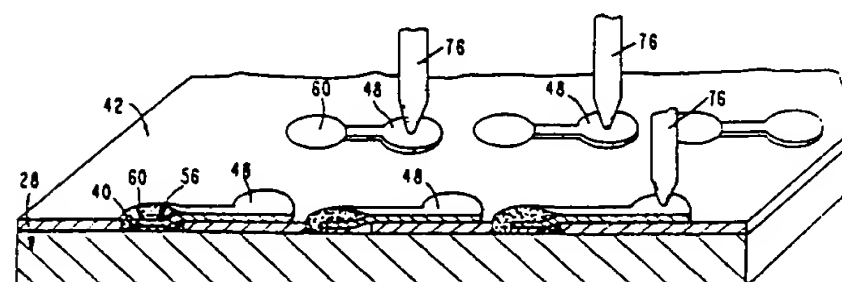


FIG. 8

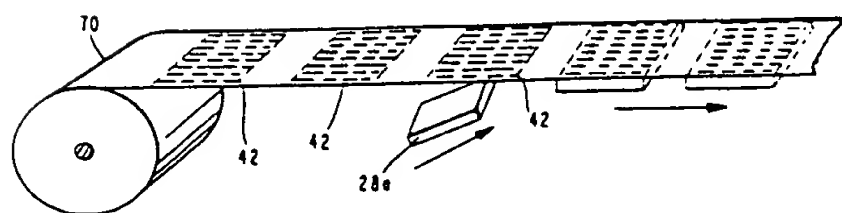


FIG. 6

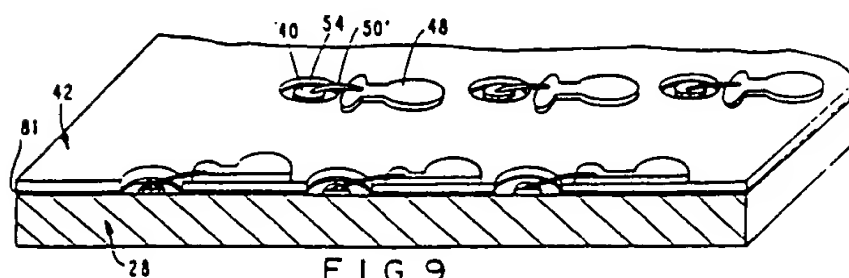


FIG. 9

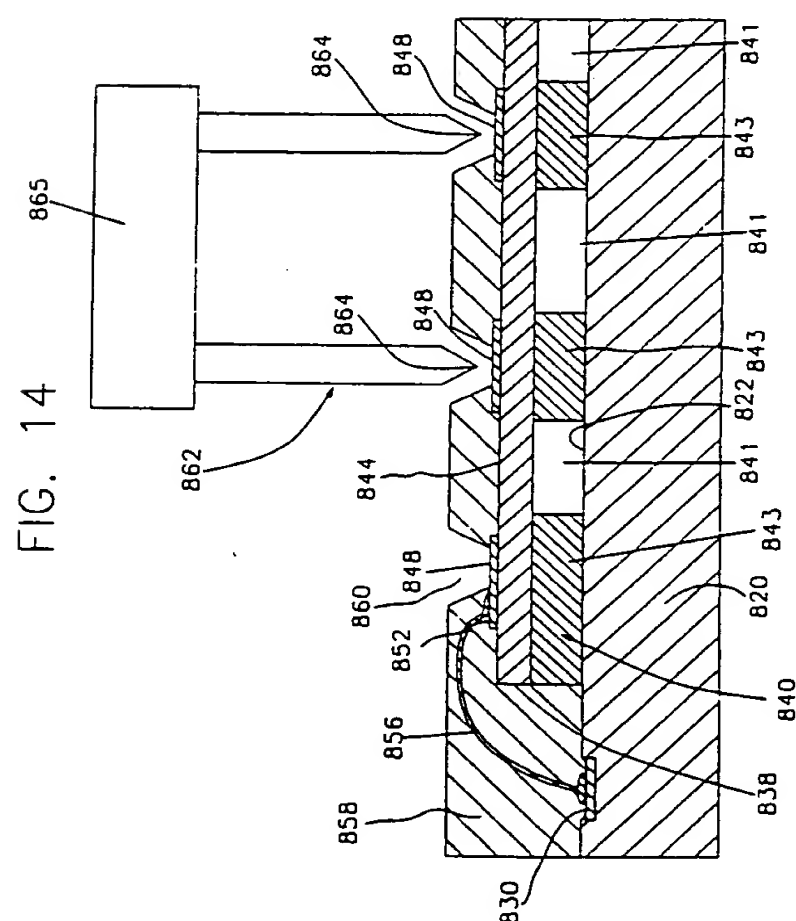
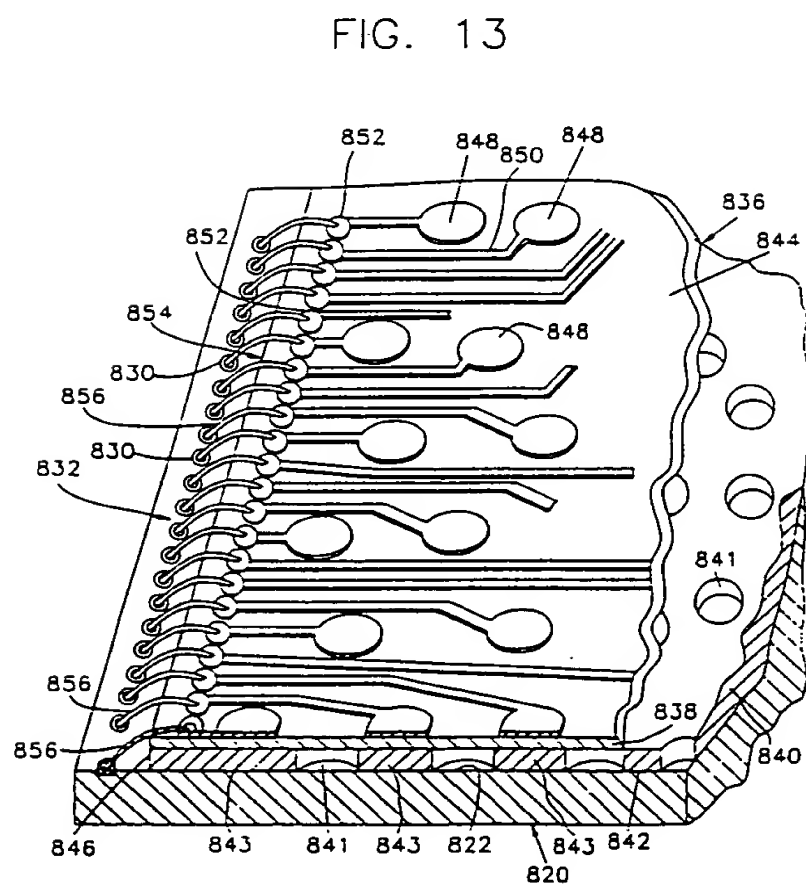
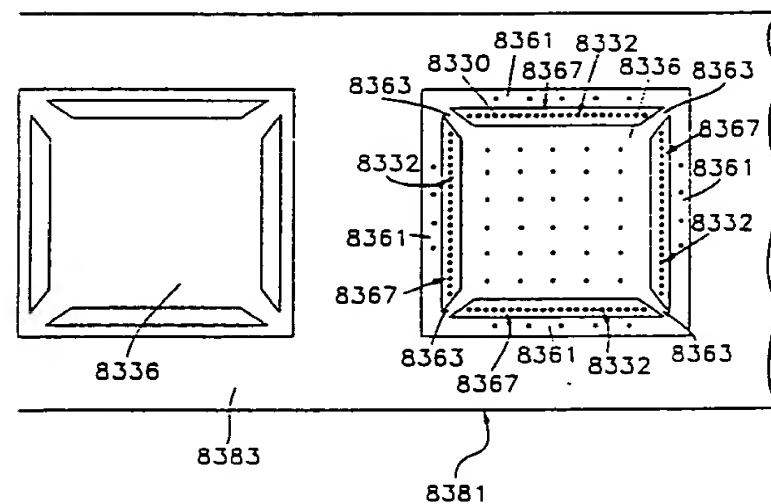
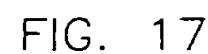
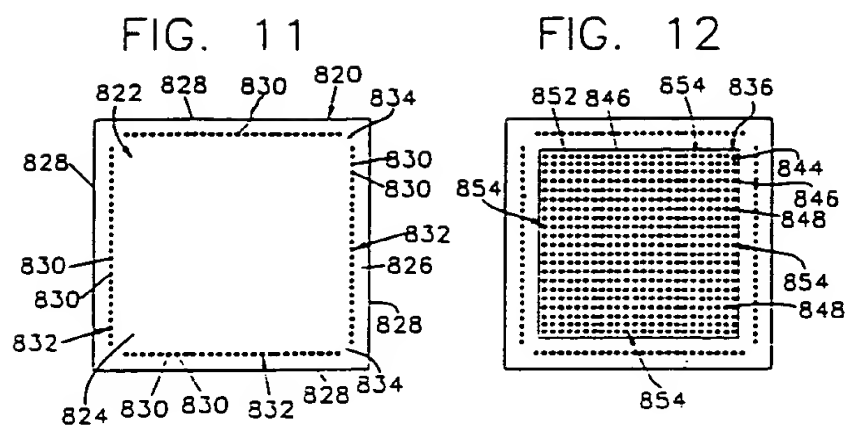
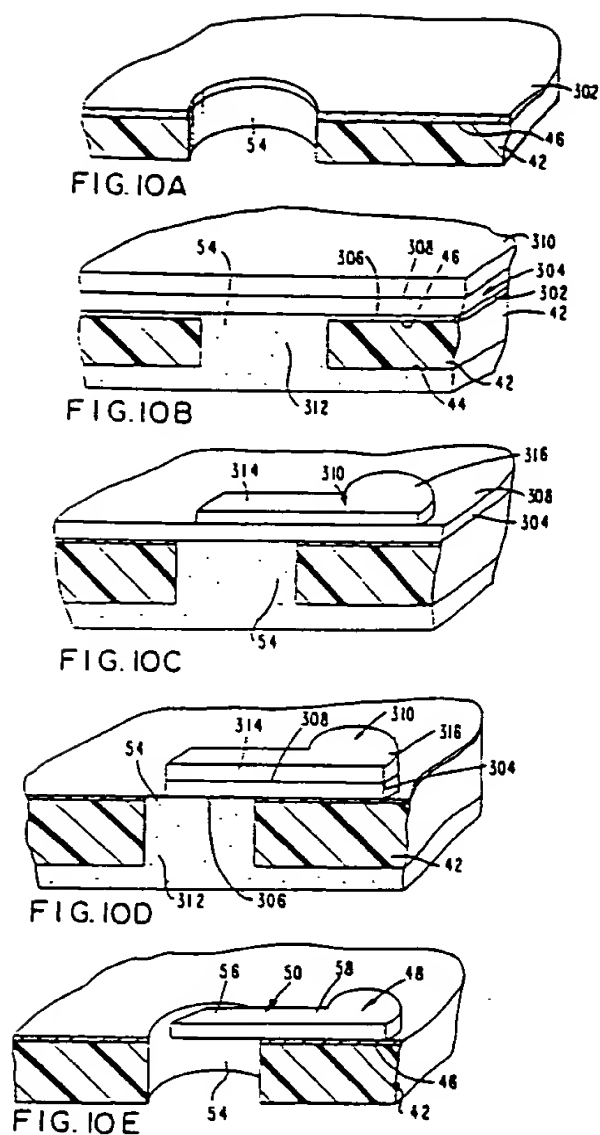


FIG. 15

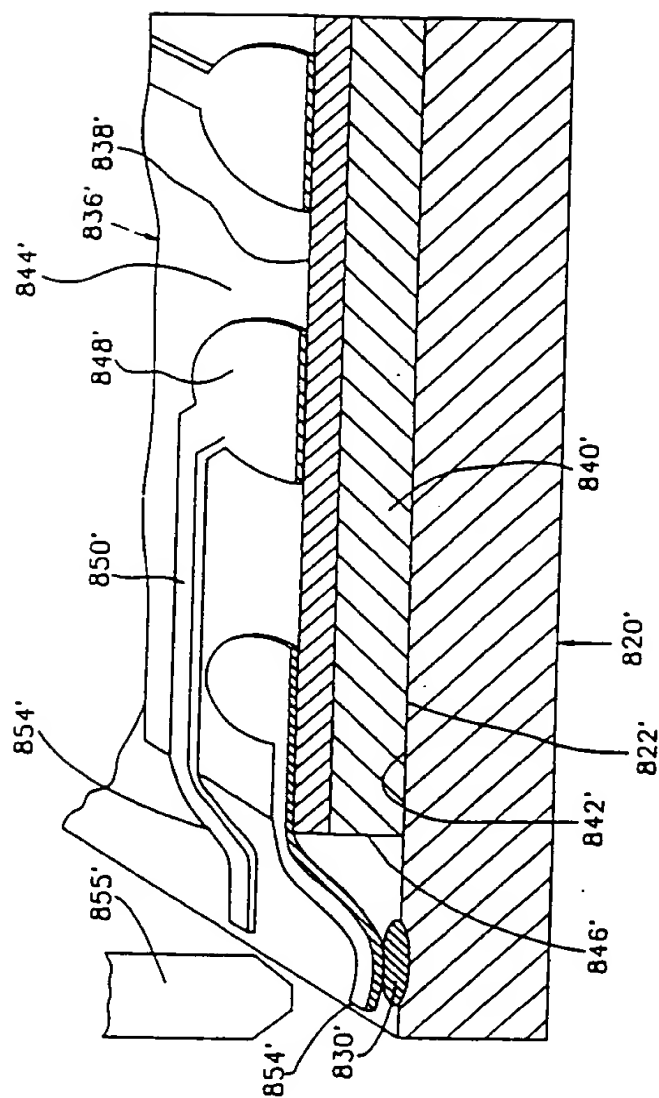


FIG. 16

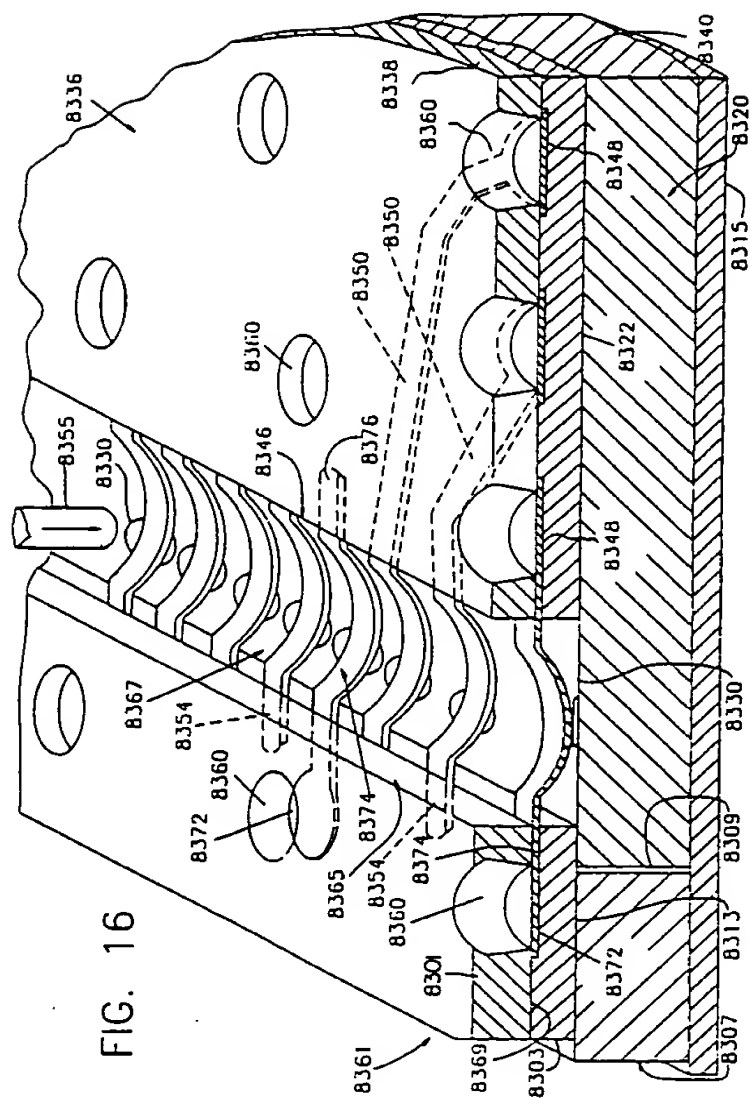


FIG. 18

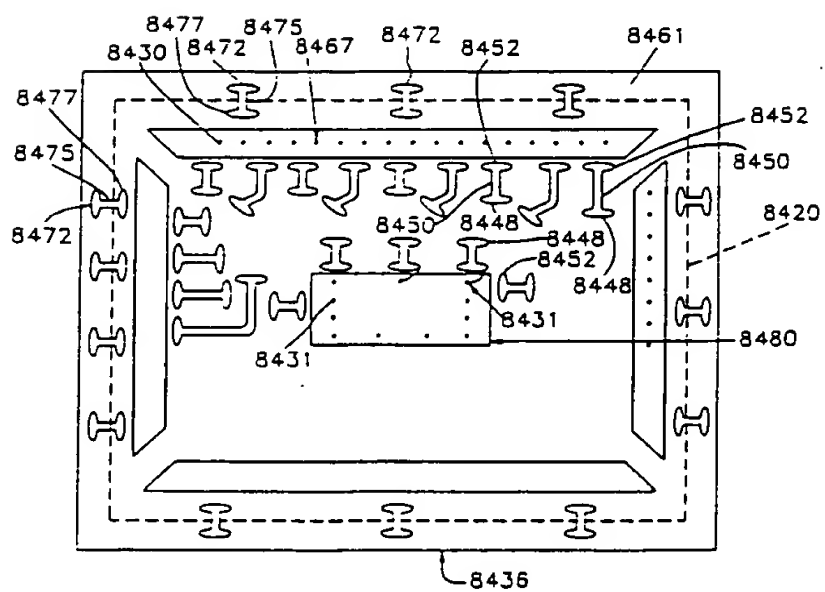
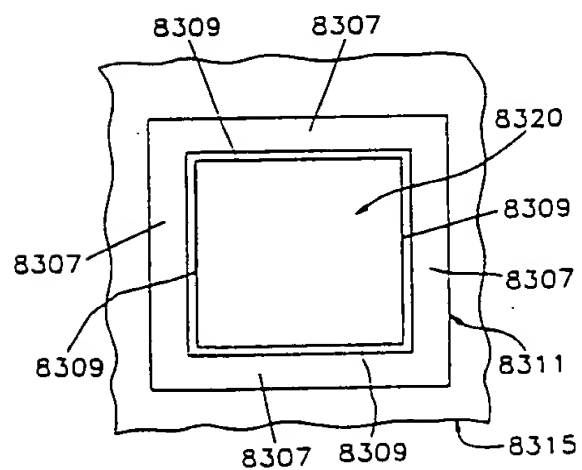


FIG. 19



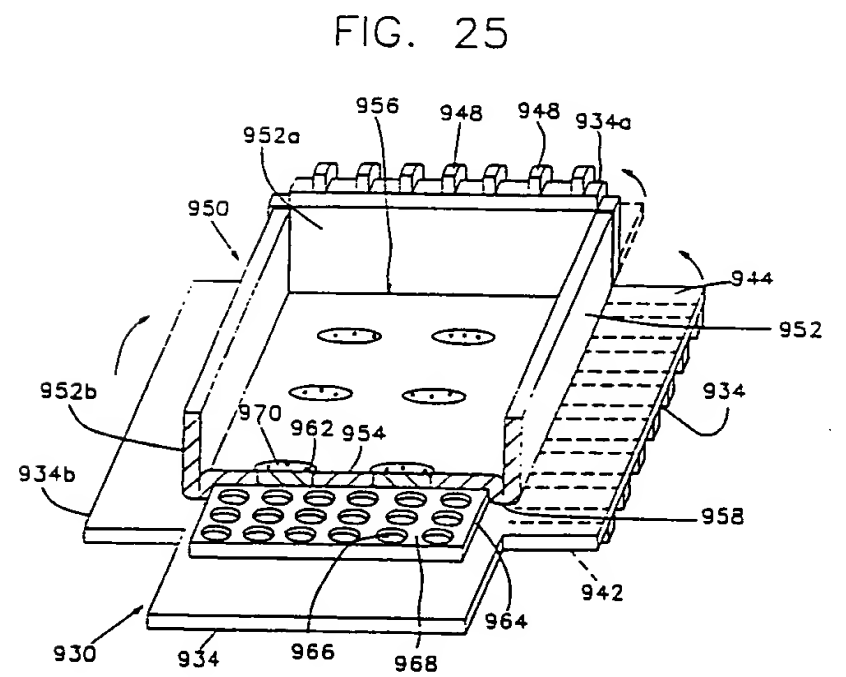
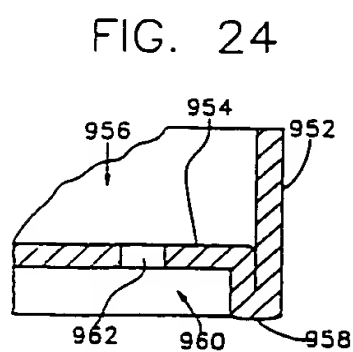
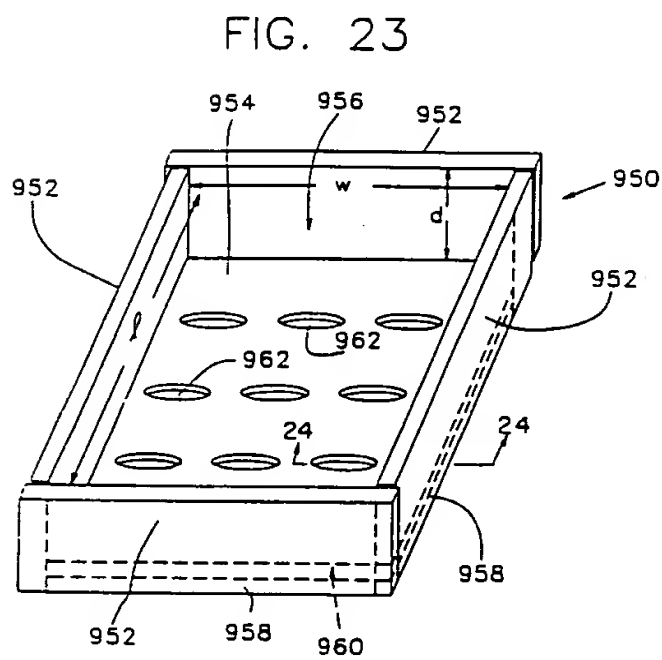
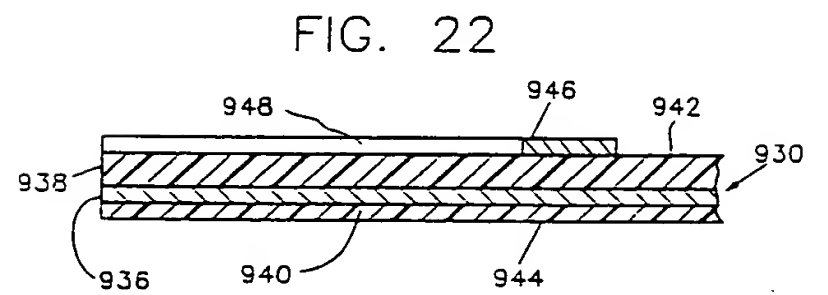
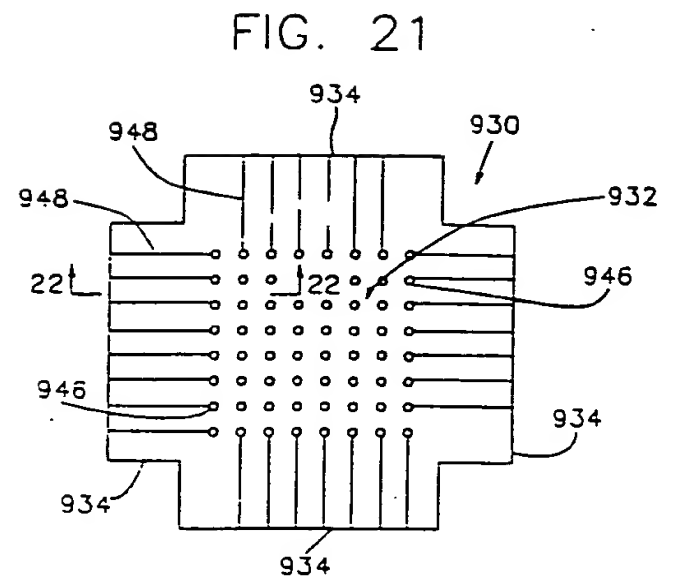
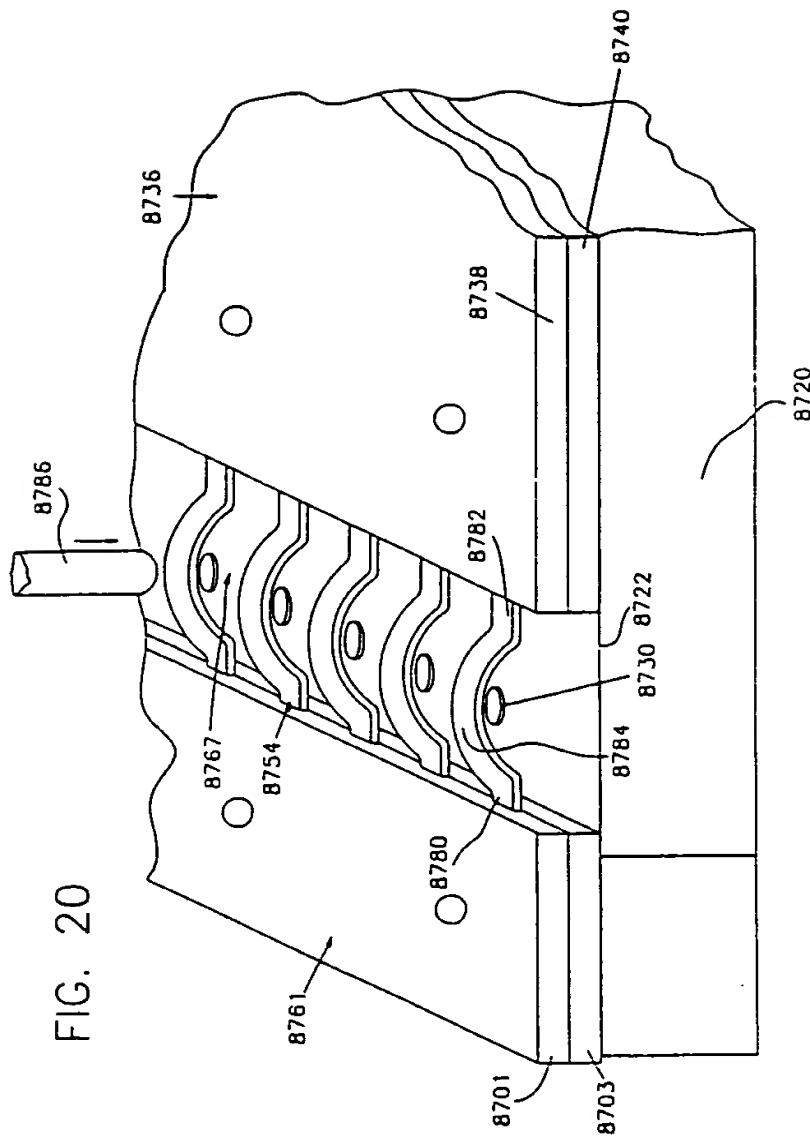


FIG. 26

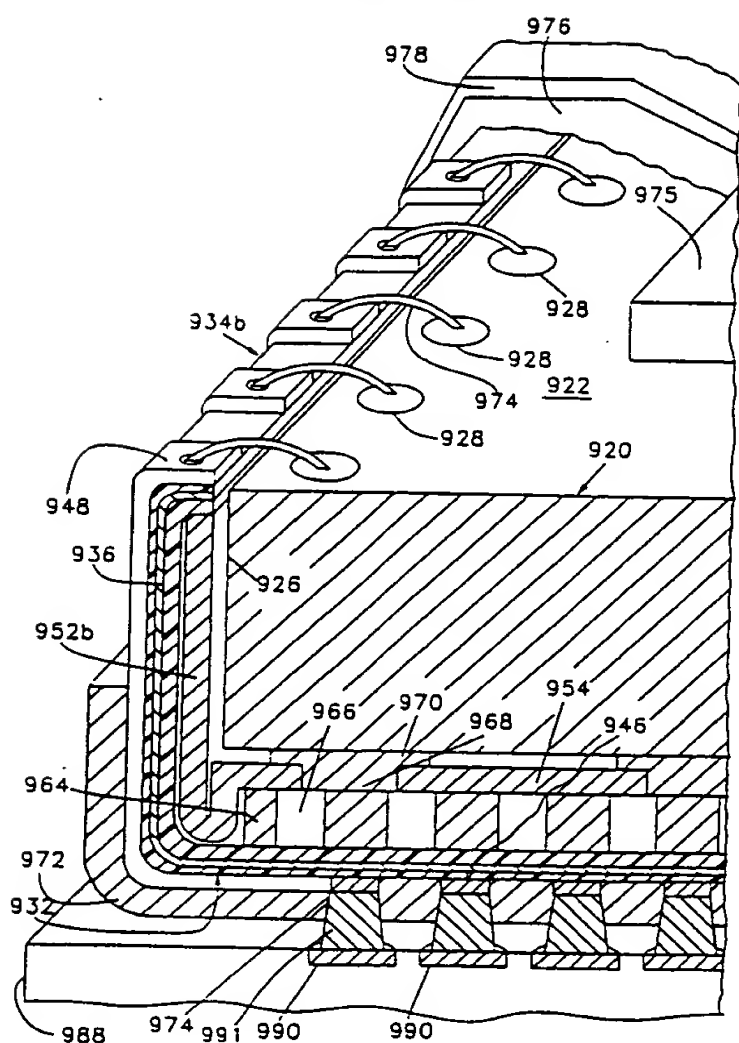


FIG. 28

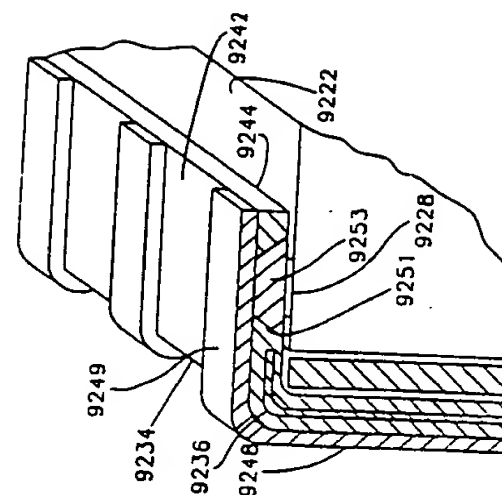


FIG. 27

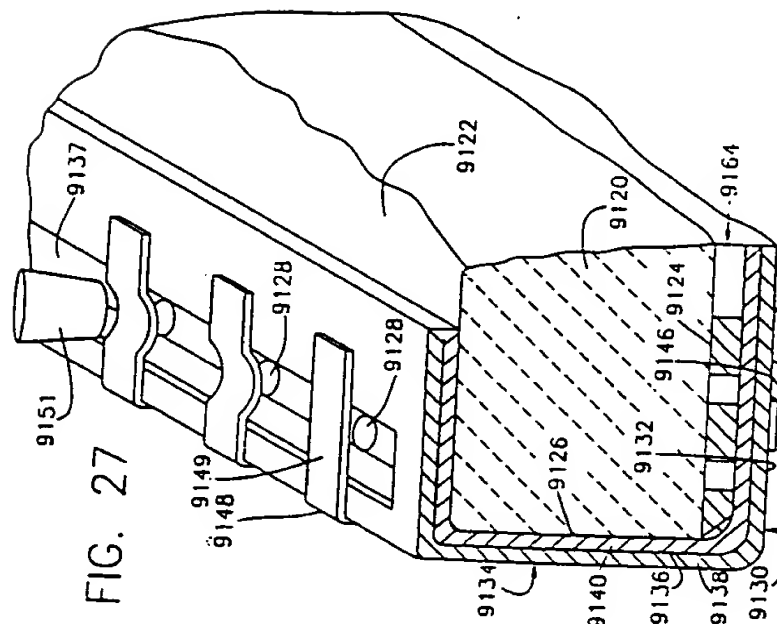


FIG. 29

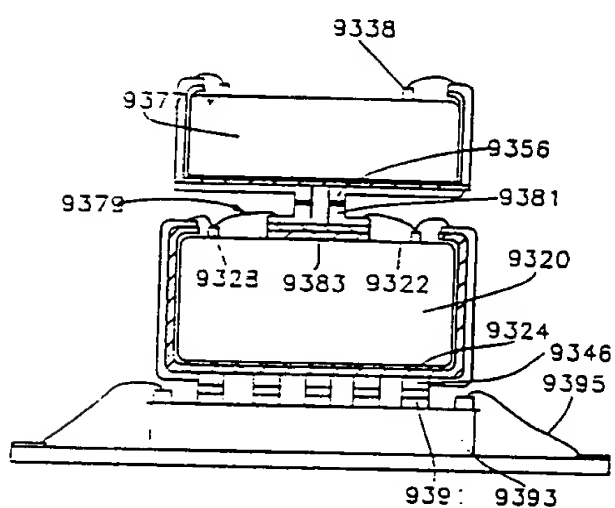
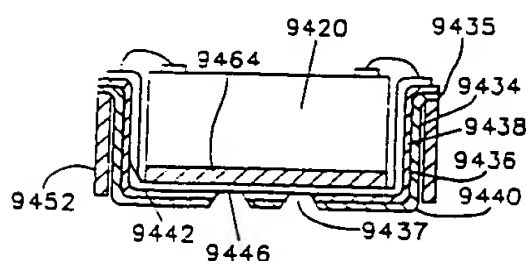


FIG. 30



国际调查報告

International Document No. PCT/US91/069820

I. CLASSIFICATION OF SUBJECT MATTER		
According to International Patent Classification (IPC) or to some other classification and IPC		
Int. Cl. (5) H01L 23/12, 23/14, 23/48, 23/50		
U.S. Cl. 357/68, 72, 74, 75, 80; 437/184, 185, 187, 203, 204		
II. FIELDS SEARCHED		
Classification System		
U.S.	357, 68, 72, 74, 75, 80	Classification System
437, 184, 185, 187, 203, 204		
Documentation Search not other than International Documentation		
in the field that such Documents are included in the Fields Searched		
III. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Number of Documents	Reference to Claim No.
Y	US.A. 4,878,098 (Saito et al) 31 October 1989, see entire document.	1-6, 15-19, 29-35, 39-49, 20-28, 50-55
Y	US.A. 4,685,998 (Quinn et al) 11 August 1987, see entire document.	1-6, 15-19, 29-25, 39-49
A	US.A. 3,680,206 (Roberts) 01 August 1972, see entire document.	1-6, 15-19, 29-35, 39-49
A	US.A. 3,772,575 (McCarty et al) 13 November 1973, see entire document.	1-6, 15-19, 29-35, 39-49
A	US.A. 4,884,122 (Eichelberger et al) 28 November 1989, see entire document.	1-6, 15-19, 29-35, 39-49
A	US.A. 3,868,724 (Perrino) 25 February 1975, see entire document.	1-6, 15-19, 29-35
A	US.A. 3,614,832 (Chance et al) 26 October 1971, see entire document.	1-6, 15-19, 29-35, 39-49
IV. CERTIFICATION		
Date of the Actual Completion of the International Search		
30 December 1991		
Date of Mailing of the International Search Report		
29 JAN 1992		
International Searching Authority		
ISA/US		
Signature of Searching Officer		
Shella V. Clark		

INTERNATIONAL AGREEMENT No. PCT/US91/069#20

DOCUMENTS CONSIDERED TO BE RELEVANT (CONTINUED FROM THE SECOND SHEET)		
Category	Citation of Document	Relevant to Claim No.
X	US.A. 4,941,011 (Kishida) 10 July 1990, see entire document.	1-6, 15-19, 29-35, 39-49
A	US.A. 3,426,252 (Lepelletier) 04 February 1969, see entire document.	1-6, 15-19, 29-35, 39-49
Y.P	US.A. 4,967,261 (Niki et al) 30 October 1990, see entire document	20-28, 50-55
Y	US.A. 4,751,482 (Fukuta et al) 14 June 1988, see entire document	20-28-50-55
Y	US.A. 4,811,082 (Jacobs et al) 07 March 1989, see entire document	20-28, 50-55
A	US.A. 4,926,241 (Carey) 15 May 1990, see entire document.	20-28, 50-55
A	US.A. 4,356,374 (Noyori et al) 26 October 1982, see entire document.	7-14, 36-38, 56-60

From PCT/US91/069#20 (Page 11-12)

フロントページの続き

(81) 指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IT, LU, NL, S E), AU, CA, FI, JP, KR, SE, SU, U S